

Attorney Docket No. 15162/02280

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re

U.S. application of: Yoshio HAGIHARA and Kenji TAKADA

For: IMAGE-SENSING APPARATUS

U.S. Serial No.: To Be Assigned

Filed: Concurrently

Group Art Unit: To Be Assigned

Examiner: To Be Assigned

BOX PATENT APPLICATION

Assistant Director

for Patents

Washington, D.C. 20231

EXPRESS MAIL MAILING LABEL NO.: EL195372515US  
DATE OF DEPOSIT: JULY 19, 2000 -- I hereby certify that this paper  
or fee is being deposited with the United States Postal Service  
"Express Mail Post Office to Addressee" service under 37 C.F.R. §  
1.10 on the dated indicated above and is addressed to BOX PATENT  
APPLICATION, Assistant Director for Patents, Washington, DC  
20231.

Derrick T. Gordon

Name of Person Mailing Paper or Fee

*Derrick T. Gordon*

Signature

July 19, 2000

Date of Signature

Dear Sir:

CERTIFIED COPIES OF PRIORITY DOCUMENTS


Submitted herewith are certified copies of Japanese Patent Applications Nos. 11-208296, filed July 22, 1999, 11-272584, filed September 27, 1999, and 11-279386, filed September 30, 1999.

Priority benefit under 35 U.S.C. § 119/365 for the Japanese patent applications is claimed for the above-identified United States patent application.

15162 U.S. PTO  
09/619435  
07/19/00

Attorney Docket No. 15162/02280

Respectfully submitted,

A handwritten signature in cursive script, reading "James W. Williams", is written over a horizontal line.

James W. Williams  
Registration No. 20,047  
Attorney for Applicants

JWW:pm

SIDLEY & AUSTIN  
717 North Harwood  
Suite 3400  
Dallas, Texas 75201-6507  
(214) 981-3328 (direct)  
(214) 981-3300 (main)

July 19, 2000

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 7 月 2 2 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 2 0 8 2 9 6 号

出 願 人

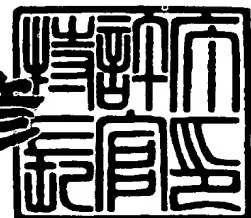
Applicant (s):

ミノルタ株式会社

2 0 0 0 年 5 月 1 9 日

特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 3 6 6 0 1

【書類名】 特許願

【整理番号】 P990722148

【提出日】 平成11年 7月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

【発明の名称】 固体撮像装置

【請求項の数】 23

【発明者】

    【住所又は居所】 大阪府中央区安土町二丁目 3 番 1 3 号 大阪国際ビル  
ミノルタ株式会社内

    【氏名】 萩原 義雄

【発明者】

    【住所又は居所】 大阪府中央区安土町二丁目 3 番 1 3 号 大阪国際ビル  
ミノルタ株式会社内

    【氏名】 高田 謙二

【特許出願人】

    【識別番号】 000006079

    【氏名又は名称】 ミノルタ株式会社

【代理人】

    【識別番号】 100085501

    【弁理士】

    【氏名又は名称】 佐野 静夫

【手数料の表示】

    【予納台帳番号】 024969

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【包括委任状番号】 9716119

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 の電極が電気的に接続される第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッシュولد領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記感光素子と前記第 1 のトランジスタの第 1 の電極との間にスイッチ手段を備え、

前記スイッチ手段を ON にするとともに前記第 1 のトランジスタをサブスレッシュولد領域で動作させて撮像を行い、

又、前記スイッチ手段を OFF にするとともに前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする固体撮像装置。

【請求項 2】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 の電極が電気的に接続される第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッシュولد領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記感光素子と前記第 1 のトランジスタの第 1 の電極との間にスイッチ手段を備え、

前記スイッチ手段を ON にするとともに前記第 1 のトランジスタをサブスレッシュولد領域で動作させて撮像を行い、

又、前記スイッチ手段を OFF にするとともに前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって前記各画素を同じ初期状態にすることを特徴とする固体撮像装置。

【請求項 3】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路と

を備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極が前記スイッチの他方の接点に接続された第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタと、

前記第 1 のトランジスタの第 1 の電極と制御電極との間に接続された第 2 スイッチとを有し、

前記第 1 スイッチ及び前記第 2 スイッチを ON にして前記各画素に撮像動作を行わせ、

前記第 1 スイッチ及び前記第 2 スイッチを OFF にするとともに前記第 1 のトランジスタの制御電極と第 2 電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項 4】 前記第 1 のトランジスタの制御電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第 3 スイッチを有し、

前記各画素が撮像動作を行うときは、前記第 3 スイッチを OFF にし、又、前記各画素の感度バラツキを検出するときは、前記第 3 スイッチを ON にすることを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 5】 前記第 3 スイッチがトランジスタであることを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】 前記第 1 のトランジスタの制御電極に一端が接続されたキャパシタが設けられ、

前記各画素が撮像動作を行うときと、前記各画素の感度バラツキを検出するときとで前記キャパシタの他端に印加する電圧を異ならせることを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 7】 前記第 2 スイッチがトランジスタであることを特徴とする請求項 3 ～請求項 6 のいずれかに記載の固体撮像装置。

【請求項 8】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が前記第 1 スイッチの他方の接点に接続されるとともに、第 2 電極に直流電圧が印加された第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタと、

前記第 1 のトランジスタの制御電極に一端が接続されたりセット用キャパシタとを有し、

前記各画素が撮像動作を行うときは、前記第 1 スイッチを ON にするとともに前記リセット用キャパシタの他端に与える電圧を第 1 電圧として前記第 1 のトランジスタをサブスレッシュホールド領域で動作させ、

前記各画素をリセットするとき、前記第 1 スイッチを OFF にするとともに前記リセット用キャパシタの他端に与える電圧を第 2 電圧として、前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項 9】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、



第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が前記第 1 スイッチの他方の接点に接続された第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとを有し、

前記各画素が撮像動作を行うときは、前記第 1 スイッチを ON にするとともに前記第 1 のトランジスタの第 2 電極に与える電圧を第 1 電圧として前記第 1 のトランジスタをサブスレッシュホールド領域で動作させ、

前記各画素をリセットするとき、前記第 1 スイッチを OFF にするとともに前記第 1 のトランジスタの第 2 電極に与える電圧を第 2 電圧として、前記第 1 のトランジスタに前記第 2 電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項 1 0】 前記第 1 スイッチがトランジスタであることを特徴とする請求項 3 ～請求項 9 のいずれかに記載の固体撮像装置。

【請求項 1 1】 前記第 1 スイッチが前記第 1 のトランジスタと逆極性のトランジスタであることを特徴とする請求項 3 ～請求項 9 のいずれかに記載の固体撮像装置。

【請求項 1 2】 前記画素が、マトリクス状に配設されることを特徴とする請求項 1 ～請求項 1 1 のいずれかに記載の固体撮像装置。

【請求項 1 3】 複数の画素を有する固体撮像装置において、  
各画素が、  
フォトダイオードと、  
該フォトダイオードの一方の電極に第 1 電極が接続された第 1 MOS トランジスタと、

該第 1 MOS トランジスタの第 2 電極に第 1 電極が接続された第 2 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極にゲート電極が接続された第 3 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極に第 1 電極が接続されるとともに、前

記第2MOSトランジスタのゲート電極に第2電極が接続された第4MOSトランジスタと、

前記第2MOSトランジスタのゲート電極に第1電極が接続されるとともに、第2電極に直流電圧が印加された第5MOSトランジスタとを有し、

前記第1及び第4MOSトランジスタをONにするとともに、第5MOSトランジスタをOFFにして、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、

前記第1及び第4MOSトランジスタをOFFにするとともに、前記第5MOSトランジスタをONにした後、前記第2MOSトランジスタの第2電極に与える電圧を変化させることによって前記第2MOSトランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項14】 複数の画素を有する固体撮像装置において、

各画素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、

該第1MOSトランジスタの第2電極に第1電極が接続された第2MOSトランジスタと、

前記第2MOSトランジスタの第1電極にゲート電極が接続された第3MOSトランジスタと、

前記第2MOSトランジスタの第1電極に第1電極が接続されるとともに、前記第2MOSトランジスタのゲート電極に第2電極が接続された第4MOSトランジスタと、

前記第2MOSトランジスタのゲート電極に一端が接続された第1キャパシタとを有し、

前記第1及び第4MOSトランジスタをONにするとともに、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、

前記第1及び第4MOSトランジスタをOFFにするとともに、前記第1キャ

パシタの他端に第2電圧を与えた後、前記第2MOSトランジスタの第2電極に与える電圧を変化させることによって前記第2MOSトランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項15】 複数の画素を有する固体撮像装置において、

各画素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、

該第1MOSトランジスタの第2電極に第1電極及びゲート電極が接続された第2MOSトランジスタと、

前記第2MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第3MOSトランジスタと、

前記第2MOSトランジスタの第1電極及びゲート電極に一端が接続された第1キャパシタとを有し、

前記画素に撮像動作をさせるときは、前記第1MOSトランジスタをONにするとともに、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッシュولد領域で動作させ、

前記画素のリセットを行うときは、前記第1MOSトランジスタをOFFにするとともに、前記第1キャパシタの他端に第2電圧を与えて、前記第2MOSトランジスタに撮像時よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項16】 複数の画素を有する固体撮像装置において、

各画素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、

該第1MOSトランジスタの第2電極に第1電極及びゲート電極が接続された第2MOSトランジスタと、

前記第2MOSトランジスタの第1電極及びゲート電極にゲート電極が接続さ

れた第3 MOS トランジスタとを有し、

前記画素に撮像動作をさせるときは、前記第1 MOS トランジスタを ON にするとともに、前記第2 MOS トランジスタの第2 電極に第1 電圧を与えて、前記第2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、

前記画素のリセットを行うときは、前記第1 MOS トランジスタを OFF にするとともに、前記第2 MOS トランジスタの第2 電極に第2 電圧を与えて、前記第2 MOS トランジスタに前記第2 電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項 17】 前記画素が、第1 電極が前記第3 MOS トランジスタの第2 電極に接続され、第2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7 MOS トランジスタを有することを特徴とする請求項 13～請求項 16 のいずれかに記載の固体撮像装置。

【請求項 18】 前記画素が、第1 電極に直流電圧が印加され、ゲート電極が前記第3 MOS トランジスタの第2 電極に接続されるとともに、前記第3 MOS トランジスタの第2 電極から出力される出力信号を増幅する第6 MOS トランジスタを有することを特徴とする請求項 13～請求項 16 のいずれかに記載の固体撮像装置。

【請求項 19】 前記画素が、第1 電極が前記第6 MOS トランジスタの第2 電極に接続され、第2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7 MOS トランジスタを有することを特徴とする請求項 18 に記載の固体撮像装置。

【請求項 20】 前記画素が、前記第3 MOS トランジスタの第2 電極に一端が接続されるとともに、前記第3 MOS トランジスタの第1 電極にリセット電圧が与えられたときに前記第3 MOS トランジスタを介してリセットされる第2 キャパシタを有することを特徴とする請求項 18 又は請求項 19 に記載の固体撮像装置。

【請求項 21】 前記第3 MOS トランジスタの第1 電極に直流電圧が印加されるとともに、

前記画素が、

前記第3 MOSトランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第8 MOSトランジスタと、

前記第3 MOSトランジスタの第2電極に一端が接続されるとともに、前記第8 MOSトランジスタのゲート電極にリセット電圧が与えられたときに前記第8 MOSトランジスタを介してリセットされる第2キャパシタと、

を有することを特徴とする請求項18又は請求項19に記載の固体撮像装置。

【請求項22】 前記第1 MOSトランジスタがディプレッション型 MOSトランジスタであることを特徴とする請求項13～請求項21のいずれかに記載の固体撮像装置。

【請求項23】 前記第1 MOSトランジスタが前記第2 MOSトランジスタと逆極性の MOSトランジスタであることを特徴とする請求項13～請求項21のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は固体撮像装置に関するものであり、特に複数の画素を備えた固体撮像装置に関する。

【0002】

【従来の技術】

固体撮像装置は、小型、軽量で低消費電力であるのみならず、画像歪や焼き付きが無く、振動や磁界などの環境条件に強い。又、LSI (Large Scale Integrated circuit) と共通の工程又は類似の工程で製造できるので、信頼性が高く、量産にも適している。このため、ライン状に画素が配された固体撮像装置がファクシミリやフラットベッドスキャナに、マトリクス状に画素が配された固体撮像装置がビデオカメラやデジタルカメラなどに幅広く使用されている。ところで、このような固体撮像装置は光電変換素子で発生した光電荷を読み出す（取り出す）手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、ダイナミックレンジが狭いという欠点がある。一方、MOS型はフォトダイオードのpn接合容量

に蓄積した電荷をMOSトランジスタを通して読み出すようになっている。

【0003】

ここで、従来のMOS型固体撮像装置の1画素当りの構成を図54に示し説明する。同図において、PDはフォトダイオードであり、そのカソードがMOSトランジスタT1のゲートとMOSトランジスタT2のドレインに接続されている。MOSトランジスタT1のソースはMOSトランジスタT3のドレインに接続され、MOSトランジスタT3のソースは出力信号線Voutへ接続されている。またMOSトランジスタT1のドレインには直流電圧VPDが印加され、MOSトランジスタT2のソースとフォトダイオードのアノードには直流電圧VPSが印加されている。

【0004】

フォトダイオードPDに光が入射すると、光電荷が発生し、その電荷はMOSトランジスタT1のゲートに蓄積される。ここで、MOSトランジスタT3のゲートにパルス $\phi V$ を与えてMOSトランジスタT3をONすると、MOSトランジスタT1のゲートの電荷に比例した電流がMOSトランジスタT1、T3を流れて出力信号線Voutへ導出される。このようにして入射光量に比例した出力電流を読み出すことができる。信号読み出し後はMOSトランジスタT3をOFFにするとともに、MOSトランジスタT2のゲートに信号 $\phi RS$ を与えてMOSトランジスタT2をONすることでMOSトランジスタT1のゲート電圧を初期化させることができる。

【0005】

【発明が解決しようとする課題】

このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生しMOSトランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、そのため露光量を精密に制御しなければならず、しかも露光量を精密に制御しても暗い部分が黒くつぶれたり、明るい部分が飽和したりしていた。一方、本出願人は、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流が流れうる状態にバイアスするバイア

ス手段とを備え、光電流を対数変換するようにした固体撮像装置を提案した（特開平3-192764号公報参照）。このような固体撮像装置は、広いダイナミックレンジを有しているものの、画素毎に設けられたMOSトランジスタの閾値特性が異なることがあり、画素毎に感度が異なる場合がある。よって、予め輝度が一樣な明るい光（一樣光）を照射することによって得られた出力を、被写体の撮像時の各画素の出力を補正する補正データとして保持するなどの対策が必要がある。

## 【0006】

しかしながら、操作者が外部光源を用いて各画素を照射するのは煩雑であったり、又、うまく一樣に露光できないなどの問題がある。又、一樣光の照射機構を撮像装置に設けると撮像装置の構成が煩雑になるという問題があった。そこで本発明者らは、このような問題点を解決すべく、予め一樣光を照射することなく各画素の感度バラツキをうち消すことができる回路構成について種々検討を行っている。本発明はこのような点に鑑みなされたものであって、予め一樣光を照射することなく、被写体の撮像時における各画素の出力を補正する補正データを正確に得ることができる固体撮像装置を提供することを目的とする。又、本発明の他の目的は、各画素の初期状態をほぼ同一の状態とする事によって、各画素の感度のバラツキを抑制した固体撮像装置を提供することである。

## 【0007】

## 【課題を解決するための手段】

上記の目的を達成するため請求項1に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第1の電極が電氣的に接続される第1のトランジスタを有するとともに該第1のトランジスタをサブスレッシュヨルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第1のトランジスタの第1の電極との間にスイッチ手段を備え、前記スイッチ手段をONにするとともに前記第1のトランジスタをサブスレッシュヨルド領域で動作させて撮像を行い、又、前記スイッチ手段をOFFにするとともに前記第1のトランジスタに撮像時より

も大きい電流が流れ得るようにしてリセットを行うことを特徴とする。

【 0 0 0 8 】

又、請求項 2 に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 の電極が電氣的に接続される第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッシュホールド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第 1 のトランジスタの第 1 の電極との間にスイッチ手段を備え、前記スイッチ手段を ON にするとともに前記第 1 のトランジスタをサブスレッシュホールド領域で動作させて撮像を行い、又、前記スイッチ手段を OFF にするとともに前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって前記各画素を同じ初期状態にすることを特徴とする。

【 0 0 0 9 】

請求項 1 又は請求項 2 に記載のような固体撮像装置は、例えば、ビデオムービーなどの撮像装置のように撮像動作とリセット動作を繰り返し行うことで、動画を撮像する場合、感光素子に光が入射された状態でも、スイッチ手段を OFF にすることによって、感光素子からの電気出力の影響がカットされ、光電変換手段を正確にリセットすることができる。又、第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって各画素が同じ初期状態となり、各画素の感度バラツキを抑制することができる。

【 0 0 1 0 】

請求項 3 に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第 1 電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極が前記スイッチの他方の接点に接続された第 1 のトランジスタと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧



が印加されるとともに制御電極が前記第1のトランジスタの第1電極に接続され、第2電極から電気信号を出力する第2のトランジスタと、前記第1のトランジスタの第1の電極と制御電極との間に接続された第2スイッチとを有し、前記第1スイッチ及び前記第2スイッチをONにして前記各画素に撮像動作を行わせ、前記第1スイッチ及び前記第2スイッチをOFFにするとともに前記第1のトランジスタの制御電極と第2電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することを特徴とする。

## 【0011】

このような固体撮像装置において、請求項4に記載するように、前記第1のトランジスタの制御電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第3スイッチを設けて、前記各画素が撮像動作を行うときは、前記第3スイッチをOFFにし、又、前記各画素の感度のバラツキを検出するときは、前記第3スイッチをONにするような構成にしても良い。又、請求項5に記載するように、この第3スイッチをトランジスタとしても良い。又、請求項6に記載するように、前記第1のトランジスタの制御電極に一端が接続されたキャパシタが設けて、前記各画素が撮像動作を行うときと、前記各画素の感度バラツキを検出するときとで前記キャパシタの他端に印加する電圧を異ならせるような固体撮像装置としても良い。又、請求項7に記載するように、前記第2スイッチをトランジスタとしても良い。

## 【0012】

請求項8に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、第1電極と第2電極と制御電極とを備え、第1電極及び制御電極が前記第1スイッチの他方の接点に接続されるとともに、第2電極に直流電圧が印加された第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極及び制御電極に接続され、第

2電極から電気信号を出力する第2のトランジスタと、前記第1のトランジスタの制御電極に一端が接続されたりセット用キャパシタとを有し、前記各画素が撮像動作を行うときは、前記第1スイッチをONにするとともに前記リセット用キャパシタの他端に与える電圧を第1電圧として前記第1のトランジスタをサブスレッシュホールド領域で動作させ、前記各画素をリセットするとき、前記第1スイッチをOFFにするとともに前記リセット用キャパシタの他端に与える電圧を第2電圧として、前記第1のトランジスタに撮像時よりも大きい電流が流れ得るようにすることを特徴とする。

## 【0013】

このような固体撮像装置において、各画素の前記リセット用キャパシタの他端に与える第2電圧を一定の電圧値にすることによって、各画素をリセットさせたとき、各画素の前記第2のトランジスタの制御電圧をほぼ同一の初期状態とすることができる。よって、画素毎に生じる感度のバラツキを抑制することができる。

## 【0014】

請求項9に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、第1電極と第2電極と制御電極とを備え、第1電極及び制御電極が前記第1スイッチの他方の接点に接続された第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極及び制御電極に接続され、第2電極から電気信号を出力する第2のトランジスタとを有し、前記各画素が撮像動作を行うときは、前記第1スイッチをONにするとともに前記第1のトランジスタの第2電極に与える電圧を第1電圧として前記第1のトランジスタをサブスレッシュホールド領域で動作させ、前記各画素をリセットするとき、前記第1スイッチをOFFにするとともに前記第1のトランジスタの第2電極に与える電圧を第2電圧として、前記第1のトランジスタに前記

第2電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする。

【0015】

このような固体撮像装置において、各画素の前記第2のトランジスタの第2電極に与える第2電圧を一定の電圧値にすることによって、各画素をリセットさせたとき、各画素の前記第2のトランジスタの制御電圧をほぼ同一の初期状態とすることができる。よって、画素毎に生じる感度のバラツキを抑制することができる。

【0016】

請求項10に記載の固体撮像装置は、請求項3～請求項9のいずれかに記載の固体撮像装置において、前記第1スイッチがトランジスタであることを特徴とする。このような固体撮像装置において、請求項11に記載するように、前記第1スイッチを第1のトランジスタと逆極性のトランジスタとしても良い。

【0017】

請求項12に記載の固体撮像装置は、請求項1～11のいずれかに記載の固体撮像装置において、前記画素がマトリクス状に配設されることを特徴とする。

【0018】

請求項13に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第2電極に第1電極が接続された第2MOSトランジスタと、前記第2MOSトランジスタの第1電極にゲート電極が接続された第3MOSトランジスタと、前記第2MOSトランジスタの第1電極に第1電極が接続されるとともに、前記第2MOSトランジスタのゲート電極に第2電極が接続された第4MOSトランジスタと、前記第2MOSトランジスタのゲート電極に第1電極が接続されるとともに、第2電極に直流電圧が印加された第5MOSトランジスタとを有し、前記第1及び第4MOSトランジスタをONにするとともに、第5MOSトランジスタをOFFにして、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1及び第4MOSトランジスタをOFFにするとともに、前記第5MOSトランジスタをONにした後、前

記第2MOSトランジスタの第2電極に与える電圧を変化させることによって前記第2MOSトランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする。

## 【0019】

請求項14に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第2電極に第1電極が接続された第2MOSトランジスタと、前記第2MOSトランジスタの第1電極にゲート電極が接続された第3MOSトランジスタと、前記第2MOSトランジスタの第1電極に第1電極が接続されるとともに、前記第2MOSトランジスタのゲート電極に第2電極が接続された第4MOSトランジスタと、前記第2MOSトランジスタのゲート電極に一端が接続された第1キャパシタとを有し、前記第1及び第4MOSトランジスタをONにするとともに、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1及び第4MOSトランジスタをOFFにするとともに、前記第1キャパシタの他端に第2電圧を与えた後、前記第2MOSトランジスタの第2電極に与える電圧を変化させることによって前記第2MOSトランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする。

## 【0020】

請求項15に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第2電極に第1電極及びゲート電極が接続された第2MOSトランジスタと、前記第2MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第3MOSトランジスタと、前記第2MOSトランジスタの第1電極及びゲート電極に一端が接続された第1キャパシタとを有し、前記画素に撮像動作をさせるときは、前記第1MOSトランジスタをONにするとともに、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッシ

ヨルド領域で動作させ、前記画素のリセットを行うときは、前記第1 MOS トランジスタを OFF にするとともに、前記第1 キャパシタの他端に第2 電圧を与えて、前記第2 MOS トランジスタに撮像時よりも大きい電流が流れ得るようにすることを特徴とする。

## 【0021】

請求項16に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1 電極が接続された第1 MOS トランジスタと、該第1 MOS トランジスタの第2 電極に第1 電極及びゲート電極が接続された第2 MOS トランジスタと、前記第2 MOS トランジスタの第1 電極及びゲート電極にゲート電極が接続された第3 MOS トランジスタとを有し、前記画素に撮像動作をさせるときは、前記第1 MOS トランジスタを ON にするとともに、前記第2 MOS トランジスタの第2 電極に第1 電圧を与えて、前記第2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときは、前記第1 MOS トランジスタを OFF にするとともに、前記第2 MOS トランジスタの第2 電極に第2 電圧を与えて、前記第2 MOS トランジスタに前記第2 電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする。

## 【0022】

又、請求項17に記載するように、前記画素に、第1 電極が前記第3 MOS トランジスタの第2 電極に接続され、第2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7 MOS トランジスタを設けても良い。又、請求項18に記載の固体撮像装置のように、前記画素に、第1 電極に直流電圧が印加され、ゲート電極が前記第3 MOS トランジスタの第2 電極に接続されるとともに、前記第3 MOS トランジスタの第2 電極から出力される出力信号を増幅する第6 MOS トランジスタを設けても良い。

## 【0023】

請求項19に記載の固体撮像装置は、請求項18に記載の固体撮像装置において、前記画素が、第1 電極が前記第6 MOS トランジスタの第2 電極に接続され、第2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7 M

OSトランジスタを有することを特徴とする。

【0024】

請求項20に記載の固体撮像装置は、請求項18又は請求項19に記載の固体撮像装置において、前記画素が、前記第3MOSトランジスタの第2電極に一端が接続されるとともに、前記第3MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSトランジスタを介してリセットされるキャパシタを有することを特徴とする。

【0025】

請求項21に記載の固体撮像装置は、請求項18又は請求項19に記載の固体撮像装置において、前記第3MOSトランジスタの第1電極に直流電圧が印加されるとともに、前記画素が、前記第3MOSトランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第8MOSトランジスタと、前記第8MOSトランジスタの第2電極に一端が接続されるとともに、前記第8MOSトランジスタのゲート電極にリセット電圧が与えられたときに前記第8MOSトランジスタを介してリセットされるキャパシタと、を有することを特徴とする。

【0026】

請求項22に記載の固体撮像装置は、請求項13～請求項21のいずれかに記載の固体撮像装置において、前記第1MOSトランジスタがディプレッション型MOSトランジスタであることを特徴とする。

【0027】

【発明の実施の形態】

<画素構成の第1例>

以下、本発明の固体撮像装置の各実施形態を図面を参照して説明する。図1は本発明の一実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、G11～Gmnは行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-

1、4-2・・・、4-nや出力信号線6-1、6-2・・・、6-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略する。

【0028】

出力信号線6-1、6-2、・・・、6-mごとにNチャネルのMOSトランジスタQ2が図示の如く1つずつ設けられている。MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。尚、後述するように各画素内にはスイッチ用のNチャネルの第4MOSトランジスタT4も設けられている。ここで、MOSトランジスタT4は行の選択を行うものであり、MOSトランジスタQ2は列の選択を行うものである。

【0029】

#### <第1の実施形態>

図1に示した画素構成の第1例の各画素に適用される第1の実施形態（図2）について、図面を参照して説明する。

【0030】

図2において、pnフォトダイオードPDが感光部（光電変換部）を形成している。そのフォトダイオードPDのアノードは第1MOSトランジスタT1のドレインに接続され、このMOSトランジスタT1のソースは、第2MOSトランジスタのドレイン、第3MOSトランジスタT3のゲート及び第5MOSトランジスタT5のドレインに接続されている。MOSトランジスタT3のソースは行選択用の第4MOSトランジスタT4のドレインに接続されている。MOSトランジスタT4のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT1～T6は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0031】

又、フォトダイオードPDのカソードには直流電圧VPDが印加されるようになっている。一方、MOSトランジスタT2のソースには信号φVPSが入力され、

MOSトランジスタT3のソースには他端に直流電圧VPSが印加されるキャパシタC1の一端が接続される。MOSトランジスタT6のソースに直流電圧VRBが印加され、そのゲートに信号 $\phi$ VRSが入力されるとともに、そのドレインにMOSトランジスタT2のゲート及びMOSトランジスタT5のソースが接続される。MOSトランジスタT3のドレインには信号 $\phi$ Dが入力される。

#### 【0032】

又、MOSトランジスタT5のゲートに信号 $\phi$ SWが入力され、MOSトランジスタT1のゲートに信号 $\phi$ Sが入力される。更に、MOSトランジスタT4のゲートには信号 $\phi$ Vが入力される。尚、本実施形態においては、信号 $\phi$ VPSは3値的に変化するものとし、例えば直流電圧VPDと略等しい電圧をハイレベル、例えばグラウンドをローレベルとし、MOSトランジスタT2をサブスレッショルド領域で動作させるための電圧を両者の中間的な電圧である中間レベルとする。中間レベルでは、例えば、直流電圧VPSと略等しい電圧とする。

#### 【0033】

##### (1) 各画素への入射光を電気信号に変換する動作について

まず、信号 $\phi$ S及び信号 $\phi$ SWをハイレベルとしてMOSトランジスタT1、T5を導通させるとともに、MOSトランジスタT2がサブスレッショルド領域で動作するように、信号 $\phi$ VPSを中間レベルとする。このとき、MOSトランジスタT6のゲートには、ローレベルの信号 $\phi$ VRSが与えられて、MOSトランジスタT6はOFFとなり、実質的に存在しないことと等価になる。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT2、T3のゲートに発生する。この電圧により、MOSトランジスタT3に電流が流れ、キャパシタC1には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタC1とMOSトランジスタT3のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT4はOFFの状態であるとする。



## 【0034】

次に、MOSトランジスタT4のゲートにパルス信号 $\phi V$ を与えて、MOSトランジスタT4をONにすると、キャパシタC1に蓄積された電荷が、出力電流として出力信号線6に導出される。この出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。又、信号読み出し後、MOSトランジスタT4をOFFする。尚、このように入射光量に対してその出力電流を自然対数的に変換するとき、信号 $\phi VRS$ は、常にローレベルのままである。

## 【0035】

## (2) 各画素の感度のバラツキの検出方法について

以下に、図面を参照して、図2のような回路構成の画素の感度のバラツキ検出動作について説明する。図3は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図4は、各画素のリセットを行う際のMOSトランジスタT2のポテンシャルの状態を示す図である。尚、図4(a)は、MOSトランジスタT2の構造を示した図で、図4(b), (c)はMOSトランジスタT2のポテンシャルの関係を示した図である。又、図4(b), (c)のポテンシャル図に示す矢印の方向は、ポテンシャルが高くなる方向を示す。

## 【0036】

ところで、MOSトランジスタT2は、例えば、図4(a)のように、P型の半導体基板（以下、「P型基板」という。）10にN型拡散層11, 12を形成し、且つ、そのN型拡散層11, 12間のチャンネル上に順次、酸化膜13とポリシリコン層14を形成することによって構成される。ここで、N型拡散層11, 12が、それぞれMOSトランジスタT2のドレイン、ソースを形成するとともに、酸化膜13及びポリシリコン層14がそれぞれゲート絶縁膜とゲート電極を形成する。尚、ここで、P型基板10において、N型拡散層11, 12の間の領域をゲート下領域ということにする。

## 【0037】

(1) で説明したように、パルス信号  $\phi V$  が MOS トランジスタ T4 のゲートに与えられて出力信号が出力されると、まず、信号  $\phi S$  の電圧をローレベルにして MOS トランジスタ T1 を OFF にするとともに、信号  $\phi SW$  の電圧をローレベルにして MOS トランジスタ T5 を OFF にする。このようにして、MOS トランジスタ T2 とフォトダイオード PD との接続、及び MOS トランジスタ T2 のゲートと MOS トランジスタ T3 のゲートとの接続を遮断する。そして、信号  $\phi VRS$  の電圧をハイレベルにして MOS トランジスタ T6 を ON にすることによって、MOS トランジスタ T2 のゲートに直流電圧  $V_{RB}$  を印加する。又、このとき、信号  $\phi D$  の電圧はハイレベル（直流電圧  $V_{PD}$  と同じ又は直流電圧  $V_{PD}$  に近い電位）である。

## 【0038】

ここで信号  $\phi VPS$  の電圧をローレベルにすることによって、MOS トランジスタ T2 におけるポテンシャルの関係が、図 4 (b) のように、MOS トランジスタ T2 のドレイン、ゲート下領域、ソースにおけるポテンシャルがドレイン、ゲート下領域、ソースの順に高くなる。よって、MOS トランジスタ T2 のソースから負の電荷  $E$  が MOS トランジスタ T2 に流れ込む。このとき、フォトダイオード PD との経路が遮断されているので正の電荷が MOS トランジスタ T2 のドレインに向かって流れることが無い。そのため、MOS トランジスタ T2 のドレイン・ソース間に負の電荷が蓄積される。

## 【0039】

そして、次に、信号  $\phi VPS$  の電圧をハイレベル、即ち直流電圧  $V_{PD}$  と同じ又は直流電圧  $V_{PD}$  に近い電位にすることによって、図 4 (c) のように、MOS トランジスタ T2 のソースのポテンシャルをゲート下領域のポテンシャルよりも高くする。よって、MOS トランジスタ T2 のドレイン・ソース間に蓄積された負の電荷が、信号線  $\phi VPS$  に流れ出す。しかしながら、MOS トランジスタ T2 のドレインのポテンシャルが、ゲート下領域のポテンシャルよりも高いので、MOS トランジスタ T2 のドレインに蓄積された負の電荷の一部  $E'$  が MOS トランジスタ T2 のドレインに残る。この MOS トランジスタ T2 のドレインに蓄積され

る負の電荷 $E'$ は、MOSトランジスタ $T_2$ の閾値電圧によって定まり、この閾値電圧に比例した値になる。

【0040】

このとき、MOSトランジスタ $T_2$ のドレイン電圧は該ドレインに蓄積された負の電荷 $E'$ に対応した電圧となり、このMOSトランジスタ $T_2$ のドレイン電圧がMOSトランジスタ $T_3$ のゲートに現れる。このMOSトランジスタ $T_3$ のゲートに現れる電圧は、MOSトランジスタ $T_2$ のドレインに蓄積された負の電荷 $E'$ に比例するので、MOSトランジスタ $T_2$ の閾値電圧に比例することがわかる。MOSトランジスタ $T_2$ 、 $T_3$ をこのような状態にすると、信号 $\phi D$ をローレベルにして、一旦、キャパシタ $C_1$ 及び接続ノード $a$ の電位をリセットした後、再び、信号 $\phi D$ をハイレベルに戻す。

【0041】

そして、MOSトランジスタ $T_3$ のゲート電圧によって、MOSトランジスタ $T_3$ に電流が流れ、リセットされたキャパシタ $C_1$ に電荷が蓄積されるとともに接続ノード $a$ の電位が上昇する。次に、信号 $\phi V$ をハイレベルにしてMOSトランジスタ $T_4$ をONすることによって、キャパシタ $C_1$ に蓄積された電荷が出力電流として出力信号線6に導出される。このようにして画素毎に、そのMOSトランジスタ $T_2$ の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。

【0042】

更にいえば、この閾値電圧に比例した電流は図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。

【0043】

さて、上述のように補正データを検出してMOSトランジスタ $T_4$ をOFFした後、信号 $\phi VPS$ を中間レベルに戻してMOSトランジスタ $T_2$ をリセットするとともに、信号 $\phi VRS$ をローレベルにしてMOSトランジスタ $T_6$ をOFFにす

る。そして、信号 $\phi S$ 及び信号 $\phi SW$ をハイレベルにして、MOSトランジスタT1, T5をONにした後、信号 $\phi D$ をローレベルにしてMOSトランジスタT3を通して信号 $\phi D$ の信号線路へキャパシタC1に蓄積された電荷を放電することによって、キャパシタC1及び接続ノードaの電位が初期化される。こうして次の撮像が行える状態とする。

【0044】

#### <第2の実施形態>

第2の実施形態について、図面を参照して説明する。図5は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0045】

図5に示すように、MOSトランジスタT1～T5及びキャパシタC1は、第1の実施形態（図2）の画素と同様の構成で、このような構成の画素に、MOSトランジスタT6に代えてキャパシタC2を用いた回路構成となっている。即ち、キャパシタC2は、その一端がMOSトランジスタT2のゲートとMOSトランジスタT5のソースとの接続ノードに接続されるとともに、他端に信号 $\phi VRS$ が印加される。尚、信号 $\phi VRS$ は2値の電圧信号で、グラウンドレベルをローレベルとし、又、このローレベルより高い電圧をゲートに印加するための電圧をハイレベルとする。

【0046】

#### (1) 各画素への入射光を電気信号に変換する動作について

図5のような回路構成の画素において、MOSトランジスタT2がサブスレッショルド領域で動作するように、キャパシタC2に与える信号 $\phi VRS$ をローレベルとする。又、信号 $\phi S$ 及び信号 $\phi SW$ をハイレベルにして、MOSトランジスタT1, T5をONにする。このように、信号 $\phi VRS$ をローレベルにすることによって、キャパシタC2はMOSトランジスタT2, T3のゲート、バックゲートにおける絶縁酸化膜で形成されるキャパシタと同様の働きをする。このようにMOSトランジスタT2をサブスレッショルド領域で動作させることによって、

フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT4をONにすることによって、対数変換された出力信号を出力信号線6に出力する。

【0047】

(2) 各画素の感度のバラツキの検出方法について

又、各画素の感度のバラツキの検出する際の動作は、第1の実施形態と同様、図3に示すタイミングチャートに表されるリセット動作が行われる間に行われる。又、このときの動作について、図3のタイミングチャートと図4のポテンシャルの変遷図を参照して、以下に説明する。まず、パルス信号 $\phi V$ が与えられた後、信号 $\phi S$ 及び信号 $\phi SW$ をローレベルとしてMOSトランジスタT1、T5をOFFにすることで、リセット動作が始まる。そして、信号 $\phi VRS$ をハイレベルにすることによってMOSトランジスタT2のゲート下領域のポテンシャルを上昇させて、更に、信号 $\phi VPS$ の電圧をローレベルにすることによって、MOSトランジスタT2のポテンシャルを図4(b)のような状態にして、負の電荷をソースからMOSトランジスタT2に流入させる。

【0048】

このMOSトランジスタT2に流入した負の電荷Eが、図4(b)のように蓄積された後、信号 $\phi VPS$ をその値が直流電圧VPDに略等しいハイレベルにする。このとき、MOSトランジスタT2のソースのポテンシャルがゲート下領域のポテンシャルより高くなるので、蓄積された負の電荷Eの一部がドレインより流出される。よって、図4(c)のように、MOSトランジスタT2のドレイン及びMOSトランジスタT2のゲートに負の電荷E'が蓄積された状態となる。このように負の電荷E'が蓄積された状態にあるため、MOSトランジスタT2のゲート電圧が、MOSトランジスタT1の閾値電圧によって決定される負の電荷E'によって定まる。

【0049】

この状態を維持したまま、まず、信号 $\phi D$ をローレベルにして、キャパシタC1を一旦リセットする。そして、信号 $\phi D$ をもとのハイレベルに戻し、MOSトランジスタT3のゲート電圧によって増幅された電流をキャパシタC1に充電す

る。このようにキャパシタC1を充電することによって接続ノードaに表れる電圧を、パルス信号 $\phi V$ を与えることで、出力信号としてMOSトランジスタT4を介して出力信号線6に出力する。

## 【0050】

更にいえば、この閾値電圧に比例した電流は図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。

## 【0051】

このように、各画素の感度のバラツキの原因であるMOSトランジスタT2の閾値電圧に比例した値となる信号を出力したのち、信号 $\phi VPS$ を中間レベルにしてMOSトランジスタT2をリセットする。そして、信号 $\phi S$ 及び信号 $\phi SW$ をハイレベルにしてMOSトランジスタT1、T5を導通させた後、信号 $\phi D$ をローレベルにしたのちハイレベルにすることによって、キャパシタC1のリセットを行う。

## 【0052】

## &lt;第3の実施形態&gt;

第3の実施形態について、図面を参照して説明する。図6は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図5に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

## 【0053】

図6に示すように、第2の実施形態(図5)の画素から、MOSトランジスタT5を削除した回路構成となっている。即ち、MOSトランジスタT2、T3のゲートが接続され、又、MOSトランジスタT2のソースには直流電圧VPSが印加される。

## 【0054】

(1) 各画素への入射光を電気信号に変換する動作について

このような構成の画素における撮像動作は、第2の実施形態（図5）と同様の撮像動作を行う。即ち、信号 $\phi S$ をハイレベルとしてMOSトランジスタT1を導通させるとともに信号 $\phi VRS$ をローレベルとすることによって、MOSトランジスタT2をサブスレッショルド領域で動作させる。このようにMOSトランジスタT2をサブスレッショルド領域で動作させることによって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT4をONにすることによって、対数変換された出力信号を出力信号線6に出力する。

## 【0055】

## （2）各画素のリセット動作について

以下に、図面を参照して、図6のような回路構成の画素のリセット動作について説明する。図7は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図8は、各画素のリセットを行う際のMOSトランジスタT2のポテンシャルの状態を示す図である。尚、図8（a）～（d）において、矢印の方向がポテンシャルが高いことを表す。

## 【0056】

（1）で説明したように、MOSトランジスタT4のゲートにパルス $\phi V$ を与えることによって、図2のような回路構成の各画素から入射光に対して対数変換された電気信号（出力信号）が出力信号線6に出力される。このように出力信号が出力されてパルス $\phi V$ がローレベルになると、リセット動作が始まる。このリセット動作について、図7及び図8を参照して説明する。

## 【0057】

まず、パルス信号 $\phi V$ がMOSトランジスタT4のゲートに与えられて、出力信号が出力されると、信号 $\phi S$ をローレベルにしてMOSトランジスタT1をOFFにする。このとき、MOSトランジスタT2のソース側より負の電荷が流れ込み、MOSトランジスタT2のゲート及びドレイン、MOSトランジスタT3のゲート、そしてキャパシタC2に蓄積された正の電荷が再結合される。よって、図8（a）のように、ある程度まで、MOSトランジスタT2のドレイン及びゲート下領域のポテンシャルが下がる。

## 【0058】

このように、MOSトランジスタT2のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、キャパシタC2に与える電圧 $\phi V_{RS}$ を高くして、MOSトランジスタT2のゲート電圧を高くする。このように、MOSトランジスタT2のゲート電圧を高くすることによって、MOSトランジスタT2のポテンシャルが図8(b)のように変化し、ゲート下領域及びドレインのポテンシャルが高くなる。よって、MOSトランジスタT2のソースから流入する負の電荷の量が増加し、MOSトランジスタT2のゲート及びドレイン、MOSトランジスタT3のゲート、そしてキャパシタC2に蓄積された正の電荷が速やかに再結合される。

## 【0059】

よって、図8(c)のように、MOSトランジスタT2のドレイン及びゲート下領域のポテンシャルが図8(b)の状態と比べて低くなる。図8(c)のようにMOSトランジスタT2のポテンシャルが変化すると、キャパシタC2に印加する電圧 $\phi V_{RS}$ をローレベルにして、MOSトランジスタT2のゲート電圧を低くする。よって、MOSトランジスタT2のドレイン及びゲート下領域のポテンシャルが、図8(d)のようになって、基の状態にリセットされる。このように、MOSトランジスタT2のポテンシャルの状態を基の状態にリセットした後、信号 $\phi D$ の電圧をローレベルにして、キャパシタC1を放電して、接続ノードaの電位を基の状態にリセットする。そして、信号 $\phi D$ の電圧をハイレベルに戻した後、信号 $\phi S$ をハイレベルにしてMOSトランジスタT1を導通させて、撮像動作が行える状態にする。

## 【0060】

このように、本実施形態では、MOSトランジスタT2のゲートに接続されたキャパシタC2に与える信号 $\phi V_{RS}$ をハイレベルにすることによって、MOSトランジスタT2のゲート電圧を速やかに初期化することができ、固体撮像装置の応答性を改善することができる。従って、暗い被写体の撮像する場合や、明るい



被写体が急に暗くなった場合にも残像の発生を防止して良好な撮像が可能となる。又、信号 $\phi$  VRSを各画素に共通に与えることによって、各画素に設けられたMOSトランジスタT2のゲート電圧がほぼ一定値に初期化され、初期状態において、各画素の感度バラツキがキャンセルされた状態になる。

【0061】

#### <第4の実施形態>

第4の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図9に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0062】

図9に示すように、第3の実施形態（図6）の画素から、キャパシタC2を削除した回路構成となっている。又、MOSトランジスタT2のソースには信号 $\phi$  VPSが入力される。尚、信号 $\phi$  VPSは、2値の電圧信号で、直流電圧VPSと略等しい電圧でMOSトランジスタT2をサブスレッショルド領域で動作させるための電圧をハイレベルとし、又、この電圧よりも低くMOSトランジスタT2にハイレベルの電圧を与えたときよりも大きい電流が流れ得るようにする電圧をローレベルとする。

【0063】

#### （1）各画素への入射光を電気信号に変換する動作について

このような構成の画素における撮像動作は、第3の実施形態（図6）と同様の撮像動作を行う。即ち、信号 $\phi$  SをハイレベルにしてMOSトランジスタT1を導通させるとともに、信号 $\phi$  VPSをハイレベルとすることによって、MOSトランジスタT2をサブスレッショルド領域で動作させる。このようにMOSトランジスタT2をサブスレッショルド領域で動作させることによって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT4をONにすることによって、対数変換された出力信号を出力信号線6に出力する。

## 【0064】

## (2) 各画素のリセット動作について

以下に、図面を参照して、図9のような回路構成の画素のリセット動作について説明する。図10は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図11は、各画素のリセットを行う際のMOSトランジスタT2のポテンシャルの状態を示す図である。尚、図11(a)～(d)において、矢印の方向がポテンシャルが高いことを表す。

## 【0065】

(1)で説明したように、MOSトランジスタT4のゲートにパルス $\phi V$ を与えることによって、図9のような回路構成の各画素から入射光に対して対数変換された電気信号(出力信号)が出力信号線6に出力される。このように出力信号が出力されてパルス $\phi V$ がローレベルになると、リセット動作が始まる。このリセット動作について、図10及び図11を参照して説明する。

## 【0066】

まず、パルス信号 $\phi V$ がトランジスタT4のゲートに与えられて、出力信号が出力されると、信号 $\phi S$ をローレベルにしてMOSトランジスタT1をOFFにする。このとき、MOSトランジスタT2のソース側より負の電荷が流れ込み、MOSトランジスタT2のゲート及びドレイン、そしてMOSトランジスタT3のゲートに蓄積された正の電荷が再結合される。よって、図11(a)のように、ある程度までリセットされて、MOSトランジスタT2のドレイン及びゲート下領域のポテンシャルが下がる。

## 【0067】

このように、MOSトランジスタT2のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、MOSトランジスタT2のソースに与える信号 $\phi VPS$ をローレベルにする。このように、MOSトランジスタT2のソース電圧を低くすることによって、MOSトランジスタT2のポテンシャル

が図 11 (b) のように変化し、MOS トランジスタ T2 のソースから流入する負の電荷の量が増加し、MOS トランジスタ T2 のゲート及びドレイン、そして MOS トランジスタ T3 のゲートに蓄積された正の電荷が速やかに再結合される。

#### 【0068】

よって、図 11 (c) のように、MOS トランジスタ T2 のドレイン及びゲート下領域のポテンシャルが図 11 (b) の状態と比べて低くなる。図 11 (c) のように MOS トランジスタ T2 のポテンシャルが変化すると、MOS トランジスタ T2 のソースに与える信号  $\phi$  VPS をハイレベルにする。よって、MOS トランジスタ T2 のポテンシャル状態が、図 11 (d) のようになって、基の状態にリセットされる。このように、MOS トランジスタ T2 のポテンシャルの状態を基の状態にリセットした後、信号  $\phi$  D の電圧をローレベルにして、キャパシタ C1 を放電して、接続ノード a の電位を基の状態にリセットする。そして、信号  $\phi$  D の電圧をハイレベルに戻した後、信号  $\phi$  S をハイレベルにして MOS トランジスタ T1 を導通させて、撮像動作が行える状態にする。

#### 【0069】

このように、本実施形態では、MOS トランジスタ T2 のソースに与える信号  $\phi$  VPS をローレベルにすることによって、MOS トランジスタ T2 のゲート電圧を速やかに初期化することができ、固体撮像装置の応答性を改善することができる。従って、暗い被写体の撮像する場合や、明るい被写体が急に暗くなった場合にも残像の発生を防止して良好な撮像が可能となる。又、信号  $\phi$  VPS を各画素に共通に与えることによって、各画素に設けられた MOS トランジスタ T2 のゲート電圧がほぼ一定値に初期化され、初期状態において、各画素の感度バラツキがキャンセルされた状態になる。

#### 【0070】

尚、第 1 ～ 第 4 の実施形態において、各画素からの信号読み出しは電荷結合素子 (CCD) を用いて行うようにしてもかまわない。この場合、図 2、図 5、図 6 及び図 9 の MOS トランジスタ T4 に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCD への電荷読み出しを行えばよ

い。

【0071】

＜画素構成の第2例＞

図12は本発明の他の実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、 $\dots$ 、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、 $\dots$ 、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2 $\dots$ 、4-nや出力信号線6-1、6-2 $\dots$ 、6-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図12ではこれらについて省略する。

【0072】

出力信号線6-1、6-2、 $\dots$ 、6-mごとにNチャネルのMOSトランジスタQ1、Q2が図示の如く1組ずつ設けられている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。

【0073】

画素 $G_{11} \sim G_{mn}$ には、後述するように、それらの画素で発生した光電荷に基づく信号を出力するNチャネルのMOSトランジスタTaが設けられている。MOSトランジスタTaと上記MOSトランジスタQ1との接続関係は図13（a）のようになる。このMOSトランジスタTaは、第5、第6の実施形態では、第7MOSトランジスタT7に、第7～第10の実施形態では、第3MOSトランジスタT3に相当する。ここで、MOSトランジスタQ1のソースに接続される直流電圧VPS'と、MOSトランジスタTaのドレインに接続される直流電圧VPD'との関係は $VPD' > VPS'$ であり、直流電圧VPS'は例えばグランド電圧（接地）である。この回路構成は上段のMOSトランジスタTaのゲートに信号

が入力され、下段のMOSトランジスタQ1のゲートには直流電圧DCが常時印加される。このため下段のMOSトランジスタQ1は抵抗又は定電流源と等価であり、図13(a)の回路はソースフォロワ型の増幅回路となっている。この場合、MOSトランジスタTaから増幅出力されるのは電流であると考えてよい。

## 【0074】

MOSトランジスタQ2は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように図14以降の各実施形態の画素内にはスイッチ用のNチャネルの第4MOSトランジスタT4も設けられている。このMOSトランジスタT4も含めて表わすと、図13(a)の回路は正確には図13(b)のようになる。即ち、MOSトランジスタT4がMOSトランジスタQ1とMOSトランジスタTaとの間に挿入されている。ここで、MOSトランジスタT4は行の選択を行うものであり、MOSトランジスタQ2は列の選択を行うものである。尚、図12および図13に示す構成は以下に説明する第5の実施形態～第10の実施形態に共通の構成である。

## 【0075】

図13のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSトランジスタQ1を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、・・・、6-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

## 【0076】

## ＜第5の実施形態＞

図12に示した画素構成の第2例の各画素に適用される第5の実施形態について、図面を参照して説明する。図14は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で

使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

#### 【0077】

図14に示すように、本実施形態では、図2に示す画素に、接続ノードaにゲートが接続され接続ノードaの電圧に応じた電流増幅を行う第7MOSトランジスタT7と、このMOSトランジスタT7のソースにドレインが接続された行選択用の第4MOSトランジスタT4と、接続ノードaにドレインが接続されキャパシタC1及び接続ノードaの電位の初期化を行う第8MOSトランジスタT8とが付加された構成となる。MOSトランジスタT4のソースは出力信号線6（この出力信号線6は図12の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT7、T8も、MOSトランジスタT1～T6と同様に、NチャネルのMOSトランジスタでバックゲートが接地されている。

#### 【0078】

又、MOSトランジスタT7のドレインには直流電圧VPDが印加され、MOSトランジスタT4のゲートには信号 $\phi V$ が入力される。又、MOSトランジスタT8のソースには直流電圧VRB2が印加されるとともに、そのゲートには信号 $\phi VRS2$ が入力される。更に、MOSトランジスタT3のドレインには直流電圧VPDが印加される。尚、本実施形態において、MOSトランジスタT1～T6及びキャパシタC1は、第1の実施形態（図2）と同様の動作を行い、各画素の感度のバラツキ検出動作及び撮像動作を行うことができる。以下にその動作を説明する。

#### 【0079】

（1）各画素への入射光を電気信号に変換する動作について

まず、信号 $\phi S$ 及び信号 $\phi SW$ をハイレベルとしてMOSトランジスタT1、T5を導通させるとともに信号 $\phi VPS$ を中間レベルとし、MOSトランジスタT2、T3がサブスレッショルド領域で動作するようにバイアスされているときの動作について、説明する。このとき、MOSトランジスタT6のゲートには、第1の実施形態と同様にローレベルの信号 $\phi VRS$ が与えられるので、MOSトラン

ジスタT6はOFFとなり、実質的に存在しないことと等価になる。

#### 【0080】

フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT2, T3のゲートに発生する。この電圧により、MOSトランジスタT3に電流が流れ、キャパシタC1には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタC1とMOSトランジスタT3のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT4, T8はOFF状態である。

#### 【0081】

次に、MOSトランジスタT4のゲートにパルス信号を与えて、MOSトランジスタT4をONにすると、MOSトランジスタT7のゲートにかかる電圧に比例した電流がMOSトランジスタT4, T7を通して出力信号線6に導出される。今、MOSトランジスタT4のゲートにかかる電圧は、接続ノードaにかかる電圧であるので、出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。

#### 【0082】

##### （2）各画素の感度のバラツキの検出方法について

以下に、図面を参照して、図14のような回路構成の画素の感度のバラツキ検出動作について説明する。図15は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

#### 【0083】

（1）で説明したように、パルス信号 $\phi V$ がMOSトランジスタT4のゲートに与えられて出力信号が出力されると、まず、信号 $\phi S$ の電圧をローレベルにしてMOSトランジスタT1をOFFにするとともに、信号 $\phi SW$ の電圧をローレベルにしてMOSトランジスタT5をOFFにする。このようにして、MOSトランジスタT2とフォトダイオードPDとの接続、及びMOSトランジスタT2

のゲートとMOSトランジスタT3のゲートとの接続を遮断する。そして、信号 $\phi$ VRSの電圧をハイレベルにしてMOSトランジスタT6をONにすることによって、MOSトランジスタT2のゲートに直流電圧VRBを印加する。ここで信号 $\phi$ VPSの電圧をローレベルにすることによって、MOSトランジスタT2のソースから負の電荷がMOSトランジスタT2に流れ込み、MOSトランジスタT2のドレイン・ソース間に負の電荷が蓄積される。

【0084】

次に、信号 $\phi$ VPSの電圧をハイレベル、即ち直流電圧VPDと同じ又は直流電圧VPDに近い電位にすることによって、MOSトランジスタT2のドレイン・ソース間に蓄積された負の電荷の一部を、信号線 $\phi$ VPSに流出する。しかしながら、MOSトランジスタT2のドレインのポテンシャルが、ゲート下領域のポテンシャルよりも高いので、MOSトランジスタT2のドレインに蓄積された負の電荷の一部がMOSトランジスタT2のドレインに残る。このMOSトランジスタT2のドレインに蓄積される負の電荷は、MOSトランジスタT2の閾値電圧によって定まり、この閾値電圧に比例した値になる。

【0085】

このとき、MOSトランジスタT2のドレイン電圧は該ドレインに蓄積された負の電荷に対応した電圧となり、このMOSトランジスタT2のドレイン電圧がMOSトランジスタT3のゲートに現れる。このMOSトランジスタT3のゲートに現れる電圧は、MOSトランジスタT2のドレインに蓄積された負の電荷に比例するので、MOSトランジスタT2の閾値電圧に比例することがわかる。MOSトランジスタT2、T3をこのような状態にすると、信号 $\phi$ VRS2をハイレベルにして、一旦、キャパシタC1及び接続ノードaの電位をリセットした後、再び、信号 $\phi$ VRS2をローレベルに戻す。

【0086】

そして、MOSトランジスタT3のゲート電圧によって、MOSトランジスタT3に電流が流れ、リセットされたキャパシタC1に電荷が蓄積されるとともに接続ノードaの電位が上昇する。次に、信号 $\phi$ VをハイレベルにしてMOSトランジスタT4をONすることによって、接続ノードaの電圧がMOSトランジス



タT7で電流増幅されて出力信号線6に導出される。このようにして画素毎に、そのMOSトランジスタT2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。

#### 【0087】

さて、上述のように補正データを検出してMOSトランジスタT4をOFFした後、信号 $\phi$ VPSをローレベルにしてMOSトランジスタT2をリセットするとともに、信号 $\phi$ VRSを中間レベルに戻してMOSトランジスタT6をOFFにする。そして、信号 $\phi$ S及び信号 $\phi$ SWをハイレベルにして、MOSトランジスタT1、T5をONにした後、信号 $\phi$ VRS2をハイレベルにしてMOSトランジスタT8を通してキャパシタC1に蓄積された電荷を放電することによって、キャパシタC1及び接続ノードaの電位が初期化される。このようにして次の撮像が行える状態にする。

#### 【0088】

#### <第6の実施形態>

第6の実施形態について、図面を参照して説明する。図16は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図14に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

#### 【0089】

図16に示すように、本実施形態では、MOSトランジスタT3のドレインに信号 $\phi$ Dを与えることによってキャパシタC1及び接続ノードaの電位を初期化するようにし、それによってMOSトランジスタT8を削除した構成となっている。その他の構成は第5の実施形態（図14）と同一である。尚、信号 $\phi$ Dのハイレベル期間では、第1の実施形態（図2）と同様にキャパシタC1で積分が行われ、ローレベル期間では、キャパシタC1の電荷がMOSトランジスタT3を通して放電され、キャパシタC1の電圧及びMOSトランジスタT7のゲートは略信号 $\phi$ Dのローレベル電圧になる（リセット）。本実施形態では、MOSトランジスタT8を省略できる分、構成がシンプルになる。

## 【0090】

この実施形態において、撮像動作をさせるときは、第5の実施形態と同様に、MOSトランジスタT1、T5をONにするとともに信号 $\phi$ VRSをローレベルにしてMOSトランジスタT6をOFFにすることによって、MOSトランジスタT2がサブスレッショルド状態で動作するようにする。又、信号 $\phi$ Dをハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタC1に蓄積する。そして、所定のタイミングでMOSトランジスタT4をONにして、MOSトランジスタT7のゲートにかかる電圧に比例した電流をMOSトランジスタT4、T7を通して出力信号線6に導出する。

## 【0091】

又、各画素をリセットするときは、第1の実施形態と同様、図3のタイミングで信号を制御する。即ち、まず、第1の実施形態と同様に、パルス信号 $\phi$ Vが与えられた後、信号 $\phi$ S及び信号 $\phi$ SWをローレベルにしてMOSトランジスタT1、T5をOFFにして、リセット動作が始まる。次に、信号 $\phi$ VRSをハイレベルにして、MOSトランジスタT2のゲートに直流電圧VRBを印加する。そして、信号 $\phi$ VPSを一旦ローレベルにした後、信号 $\phi$ VPSをハイレベルにして、MOSトランジスタT2のドレインに負の電荷が蓄積される。この負の電荷量は、MOSトランジスタT2の閾値電圧によって決まる。

## 【0092】

このとき、一旦、信号 $\phi$ DをローレベルにしてキャパシタC1及び接続ノードaをリセットする。そして、キャパシタC1には、MOSトランジスタT2の閾値電圧に比例した電流がMOSトランジスタT3を通じて流入して、接続ノードaに現れる電圧がこの閾値電圧に比例した電圧になる。パルス信号 $\phi$ VをMOSトランジスタT4のゲートに与えて、接続ノードaに現れる電圧をMOSトランジスタT7で電流増幅した出力信号が出力される。このようにして画素毎に、そのMOSトランジスタT2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。

## 【 0 0 9 3 】

このように補正データを検出してMOSトランジスタT4をOFFした後、信号 $\phi$ VPSを中間レベルにしてMOSトランジスタT2をリセットした後に、信号 $\phi$ VRSをローレベルにしてMOSトランジスタT6をOFFにする。そして、信号 $\phi$ S及び信号 $\phi$ SWをハイレベルにして、MOSトランジスタT1、T5をONにした後、信号 $\phi$ DをローレベルにしてMOSトランジスタT3を通してキャパシタC1に蓄積された電荷を放電することによって、キャパシタC1及び接続ノードaの電位が初期化される。

## 【 0 0 9 4 】

## &lt;第7の実施形態&gt;

第7の実施形態について、図面を参照して説明する。図17は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図16に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

## 【 0 0 9 5 】

図17に示すように、本実施形態では、MOSトランジスタT3のドレインに直流電圧VPDが印加されるとともに、キャパシタC1及びMOSトランジスタT7を削除した構成となっている。即ち、MOSトランジスタT3のソースにMOSトランジスタT4のドレインが接続される。その他の構成は第6の実施形態（図16）と同一である。

## 【 0 0 9 6 】

このような構成の回路において、撮像動作をさせるときは、第6の実施形態と同様に、MOSトランジスタT1、T5をONにするとともに信号 $\phi$ VRSをローレベルにしてMOSトランジスタT6をOFFにして、MOSトランジスタT2がサブスレッショルド状態で動作するようにする。このようにMOSトランジスタT2を動作させることによって、前記光電流に対して自然対数的に比例した値のドレイン電流がMOSトランジスタT3を流れる。

## 【 0 0 9 7 】

そして、MOSトランジスタT4のゲートにパルス信号 $\phi$ Vを与えてONとす

ると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSトランジスタT4を通して出力信号線6に導出される。このとき、MOSトランジスタT3及びMOSトランジスタQ1（図13）の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号が読み出された後、MOSトランジスタT4をOFFにする。

#### 【0098】

又、各画素をリセットする際には、図18のタイミングチャートのように動作させる。まず、パルス信号 $\phi V$ が与えられた後、信号 $\phi S$ 及び信号 $\phi SW$ をローレベルにしてMOSトランジスタT1、T5をOFFにして、リセット動作が始まる。次に、信号 $\phi VRS$ をハイレベルにして、MOSトランジスタT2のゲートに直流電圧VRBを印加する。そして、信号 $\phi VPS$ を一旦ローレベルにした後、信号 $\phi VPS$ をハイレベルにして、MOSトランジスタT2のドレインに負の電荷が蓄積される。この負の電荷量は、MOSトランジスタT2の閾値電圧によって決まる。

#### 【0099】

このとき、パルス信号 $\phi V$ をMOSトランジスタT4のゲートに与えて、画素毎に、そのMOSトランジスタT2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。このように補正データを検出してMOSトランジスタT4をOFFした後、信号 $\phi VPS$ を中間レベルにしてMOSトランジスタT2をリセットした後、信号 $\phi VRS$ をローレベルにしてMOSトランジスタT6をOFFにする。しかる後、信号 $\phi S$ 及び信号 $\phi SW$ をハイレベルにして、MOSトランジスタT1、T5をONにして、撮像動作を行うための構成にする。

#### 【0100】

尚、本実施形態では上記第6の実施形態のように、光信号をキャパシタC1で一旦積分するということを行わないので、積分時間が不要となり、又、キャパシタC1のリセットも不要であるので、その分信号処理の高速化が図れる。又、本実施形態では、第6の実施形態に比し、キャパシタC1及びMOSトランジスタ

T7を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

【0101】

#### <第8の実施形態>

第8の実施形態について、図面を参照して説明する。図19は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図5及び図17に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0102】

図19に示すように、本実施形態では、第7の実施形態（図17）に示す画素に、MOSトランジスタT6に代えてキャパシタC2を用いた回路構成となっている。即ち、キャパシタC2は、その一端がMOSトランジスタT2のゲートとMOSトランジスタT5のソースとの接続ノードに接続されるとともに、他端に信号 $\phi$ VRSが印加される。尚、第2の実施形態（図5）と同様に、信号 $\phi$ VRSは2値の電圧信号で、グランドレベルをローレベルとし、又、このローレベルより高い電圧をハイレベルとする。

【0103】

このように、本実施形態の構成と第2の実施形態の構成との関係は、第7の実施形態の構成と第1の実施形態（図2）の構成との関係とに対応する。よって、第2の実施形態と同様に、キャパシタC2に与える信号 $\phi$ VRSをローレベルとするとともに、MOSトランジスタT1、T5をONにすることによって、MOSトランジスタT2をサブスレッショルド領域で動作させる。よって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT4をONにすることによって、対数変換された出力信号を出力する。又、リセット動作は、第7の実施形態と同様、図18のタイミングチャートで示すタイミングで各信号の値を変化させることによって、各画素の感度のバラツキを補正データとして検出することができる。

【0104】

尚、第5～第8の実施形態の回路構成をした画素によると、各画素が撮像動作

を行ったのち、各画素の感度のバラツキの原因となるMOSトランジスタの閾値電圧に比例した信号を各画素からの出力を補正するための補正データとして検出することができる。更にいえば、予め、後続回路においてメモリに、撮像時に出力された画像データを画素毎に記憶するとともに、各画素内のMOSトランジスタの閾値電圧に比例した電流を図12の信号線9から画素毎にシリアルに出力して、後続回路における別のメモリに画素毎の補正データとして記憶しておく。そして、この画像データを補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。

【0105】

#### <第9の実施形態>

第9の実施形態について、図面を参照して説明する。図20は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図6及び図19に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0106】

図20に示すように、第8の実施形態(図19)の画素から、MOSトランジスタT5を削除した回路構成となっている。即ち、MOSトランジスタT2、T3のゲートが接続され、又、MOSトランジスタT2のソースには直流電圧VPSが印加される。

【0107】

このように、本実施形態の構成と第3の実施形態(図6)の構成との関係は、第8の実施形態の構成と第2の実施形態(図5)の構成との関係に対応する。よって、第3の実施形態と同様に、キャパシタC2に与える信号 $\phi$ VRSをローレベルとするとともに、MOSトランジスタT1をONにすることによって、MOSトランジスタT2をサブスレッショルド領域で動作させる。よって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT4をONにすることによって、対数変換された出力信号を出力する。

## 【0108】

又、各画素をリセットする際には、図21のタイミングチャートのように動作させる。まず、パルス信号 $\phi V$ が与えられた後、信号 $\phi S$ をローレベルにしてMOSトランジスタT1をOFFにして、リセット動作が始まる。次に、信号 $\phi VRS$ をハイレベルにして、MOSトランジスタT2のゲート電圧を高くすることによって、MOSトランジスタT2のソースから流入する電荷の量を増加させる。

## 【0109】

このようにして、MOSトランジスタT2のゲート及びドレイン、MOSトランジスタT3のゲート、そしてキャパシタC2に蓄積された正の電荷が速やかに再結合される。そして、信号 $\phi VRS$ をローレベルにしてMOSトランジスタT2のポテンシャルを基の初期状態にリセットする。しかる後、信号 $\phi S$ をハイレベルにして、MOSトランジスタT1をONにして、次の撮像動作に備える。

## 【0110】

## &lt;第10の実施形態&gt;

第10の実施形態について、図面を参照して説明する。図22は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図9及び図20に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

## 【0111】

図22に示すように、第9の実施形態(図20)の画素から、キャパシタC2を削除した回路構成となっている。又、MOSトランジスタT2のソースには信号 $\phi VPS$ が入力される。尚、信号 $\phi VPS$ は、第4の実施形態(図9)と同様に、2値の電圧信号で、直流電圧VPSと略等しい電圧でMOSトランジスタT2をサブスレッショルド領域で動作させるための電圧をハイレベルとし、又、この電圧よりも低くMOSトランジスタT2にハイレベルの電圧を与えたときよりも大きい電流が流れ得るようにする電圧をローレベルとする。

## 【0112】

このように、本実施形態の構成と第4の実施形態の構成との関係は、第9の実施形態の構成と第3の実施形態(図6)の構成との関係に対応する。よって、第

4の実施形態と同様に、MOSトランジスタT2のソースに与える信号 $\phi$ VPSをハイレベルとするともに、MOSトランジスタT1をONにすることによって、MOSトランジスタT2をサブスレッショルド領域で動作させる。よって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT4をONにすることによって、対数変換された出力信号を出力する。

## 【0113】

又、各画素をリセットする際には、図23のタイミングチャートのように動作させる。まず、パルス信号 $\phi$ Vが与えられた後、信号 $\phi$ SをローレベルにしてMOSトランジスタT1をOFFにして、リセット動作が始まる。次に、信号 $\phi$ VPSをローレベルにして、MOSトランジスタT2のソース電圧を低くすることによって、MOSトランジスタT2のソースから流入する電荷の量を増加させる。

## 【0114】

このようにして、MOSトランジスタT2のゲート及びドレイン、そしてMOSトランジスタT3のゲートに蓄積された正の電荷が速やかに再結合される。そして、信号 $\phi$ VPSをハイレベルにしてMOSトランジスタT2のポテンシャルを基の初期状態にリセットする。しかる後、信号 $\phi$ Sをハイレベルにして、MOSトランジスタT1をONにして、次の撮像動作に備える。

## 【0115】

尚、第8～第10の実施形態（図19、図20、図22）において、第5の実施形態（図14）のように、MOSトランジスタT3のソースに他端に直流電圧VPSが印加されたキャパシタC1やMOSトランジスタT7のゲート、そして、キャパシタC1をリセットするためのMOSトランジスタT8のドレインを接続するとともに、MOSトランジスタT7のソースをMOSトランジスタT4のドレインに接続するような構成にしても良い。又、第6の実施形態（図16）のように、MOSトランジスタT3のドレインに信号 $\phi$ Dを与えるようにして、上述した第5の実施形態（図14）のような構成からMOSトランジスタT8を削除した構成にしても良い。



## 【0116】

## ＜ディプレッション型MOSトランジスタを組み合わせた構成の画素＞

又、第1～第10の実施形態（図2、図5、図6、図9、図14、図16、図17、図19、図20、図22）において、第1MOSトランジスタT1をディプレッション型のNチャネルのMOSトランジスタとしても構わない。この画素の構成を、第7～10の実施形態（図17、図19、図20、図22）の画素を例にして、図24～図27に示す。図24～図27に示すように、MOSトランジスタT1以外のMOSトランジスタT2～T6は、エンハンスメント型のNチャネルのMOSトランジスタである。

## 【0117】

図17、図19、図20、図22の構成の画素ように、画素内に設けられたMOSトランジスタを全てエンハンスメント型のMOSトランジスタで構成したとき、MOSトランジスタT1、T2が直列に接続されるため、MOSトランジスタT1のゲートに与える信号 $\phi_S$ のハイレベルの電圧が、通常は、この画素に供給する電圧よりも高くなる。そのため、通常はMOSトランジスタT1に信号 $\phi_S$ を与えるための別の電源を設ける必要がある。

## 【0118】

それに対して、上述したように、このMOSトランジスタT1をディプレッション型のMOSトランジスタとすることによって、そのゲートに与える信号 $\phi_S$ のハイレベルの電圧を低くすることができ、他のMOSトランジスタに与えるハイレベルの信号と同じ電圧にすることが可能になる。これは、ディプレッション型のMOSトランジスタの閾値が負の値となるため、エンハンスメント型のMOSトランジスタと比べて、低いゲート電圧でONすることができるからである。

## 【0119】

## ＜PチャネルMOSトランジスタを組み合わせた構成の画素＞

更に、第1～第10の実施形態において、第1MOSトランジスタT1をPチャネルのMOSトランジスタとしても構わない。この画素の構成を、第7～第10の実施形態の画素を例にして、図28～図31に示す。図28～図31に示すように、MOSトランジスタT1以外のMOSトランジスタT2～T6は、Nチ

チャネルのMOSトランジスタである。又、MOSトランジスタT1のソースがフォトダイオードPDのアノードと接続されるとともに、ドレインがMOSトランジスタT2のドレインに接続される。

#### 【0120】

このような構成にしたとき、MOSトランジスタT1は、ゲート・ドレイン間の電圧差が閾値より大きければONとなり、又、ゲート・ドレイン間の電圧差が閾値より小さければOFFとなる。よって、MOSトランジスタT1のゲートに与える信号 $\phi S$ が、第1～第10の実施形態の信号 $\phi S$ とそのタイミングが逆転するとともに、MOSトランジスタT1のドレインに直列に接続されたMOSトランジスタT2の影響を受けることなく、ON/OFF動作を行うことができる。

#### 【0121】

又、MOSトランジスタT1のON/OFF動作が、MOSトランジスタT2の影響を受けることがないので、信号 $\phi S$ を供給するための別の電源を設ける必要が無くなる。更に、このようにすることによって、MOSトランジスタT1を、他のMOSトランジスタと同様にエンハンスメント型のMOSトランジスタとすることができるので、他のMOSトランジスタと同一の工程でMOSトランジスタT1を生成することが可能である。よって、上述したように、第1MOSトランジスタT1のみをディプレッション型のMOSトランジスタとするときと比べて、その生産工程が簡素化される。

#### 【0122】

以上説明した第1～第10の実施形態は、画素内の能動素子であるMOSトランジスタT1～T8を全てNチャネルのMOSトランジスタで構成しているが、これらのMOSトランジスタT1～T8を全てPチャネルのMOSトランジスタで構成してもよい。図33～図36及び図39～図44には、上記第1～第10の実施形態をPチャネルのMOSトランジスタで構成した例である第11～第20の実施形態を示している。又、図45～図48は、第17～第20の実施形態において、第1MOSトランジスタT1をディプレッション型のPチャネルのMOSトランジスタとしたものである。更に、図49～図52は、第17～第20

の実施形態において、第1MOSトランジスタT1をNチャネルのMOSトランジスタとしたものである。そのため図32～図52では接続の極性や印加電圧の極性が逆になっている。例えば、図33（第11の実施形態）において、フォトダイオードPDはアノードに直流電圧VPDに接続され、カソードが第1MOSトランジスタT1のドレインに接続され、また、MOSトランジスタT1のソースが第2MOSトランジスタT2のドレイン及び第3MOSトランジスタT3のゲートに接続されている。MOSトランジスタT2のソースには信号 $\phi$  VPSが与えられる。

#### 【0123】

ところで、図33のような画素が対数変換を行うとき、直流電圧VPSと直流電圧VPDは、 $VPS > VPD$  となっており、図2（第1の実施形態）と逆である。また、キャパシタC1の出力電圧は初期値が高い電圧で、積分によって降下する。また、第1MOSトランジスタT1や第4MOSトランジスタT4や第5MOSトランジスタT5や第6MOSトランジスタT6をONさせるときには、低い電圧をゲートに印加する。更に、図36以降の実施形態（第12～第20の実施形態）において、第8MOSトランジスタT8ときには、低い電圧をゲートに印加する。又、図49～図52に示す構成の画素において、NチャネルのMOSトランジスタとなる第1MOSトランジスタT1をONさせるときには、高い電圧をゲートに印加する。以上の通り、逆極性のMOSトランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図33～図36及び図39～図52については図面ですすのみで、その構成や動作についての説明は省略する。

#### 【0124】

第11～第14の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図32に示し、第15～第20の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図37に示している。図32及び図36については、図1及び図12と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。以下、図36の構成について簡単に説明する。列方向に配列された出力信号線6-1、6-2、・・・、6-mに

対してPチャネルのMOSトランジスタQ1とPチャネルのMOSトランジスタQ2が接続されている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。

#### 【0125】

一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。ここで、MOSトランジスタQ1は画素内のPチャネルのMOSトランジスタTaと共に図38(a)に示すような増幅回路を構成している。尚、MOSトランジスタTaは、第15、第16の実施形態では第7MOSトランジスタT7に相当し、又、第17～第20の実施形態では第3MOSトランジスタT3に相当する。

#### 【0126】

この場合、MOSトランジスタQ1はMOSトランジスタTaの負荷抵抗又は定電流源となっている。従って、このMOSトランジスタQ1のソースに接続される直流電圧VPS'と、MOSトランジスタTaのドレインに接続される直流電圧VPD'との関係は、 $VPD' < VPS'$ であり、直流電圧VPD'は例えばグランド電圧（接地）である。MOSトランジスタQ1のドレインはMOSトランジスタTaに接続され、ゲートには直流電圧が印加されている。PチャネルのMOSトランジスタQ2は水平走査回路3によって制御され、増幅回路の出力を最終的な信号線9へ導出する。第15～第20の実施形態のように、画素内に設けられた第4MOSトランジスタT4を考慮すると、図38(a)の回路は図38(b)のように表わされる。

#### 【0127】

### <画像データの補正方法>

上述した第1、第2、第5～第8、そして、第11、第12、第15～18の実施形態のような回路構成の画素が設けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面を参照して説明する。

## 【0 1 2 8】

図 5 3 に示す画像入力装置は、対物レンズ 5 1 と、該対物レンズ 5 1 を通して入射される光の光量に応じて電気信号を出力する固体撮像装置 5 2 と、撮像時の固体撮像装置 5 2 の電気信号（以下、「画像データ」と呼ぶ。）が入力されて一時記憶されるメモリ 5 3 と、リセット時の固体撮像装置 5 2 の電気信号（以下、「補正データ」と呼ぶ。）が入力されて一時記憶されるためのメモリ 5 4 と、メモリ 5 3 から送出される画像データからメモリ 5 4 から記憶される補正データを補正演算する補正演算回路 5 5 と、補正演算回路 5 5 で補正データにより補正の施された画像データを演算処理して外部に出力する処理部 5 6 とを有する。尚、固体撮像装置 5 2 は、第 1、第 2、第 5 ～ 第 8、そして、第 1 1、第 1 2、第 1 5 ～ 1 8 の実施形態（図 2、図 5、図 1 4 ～ 図 1 7、図 1 9、図 3 3、図 3 4、図 3 9 ～ 図 4 2）のような回路構成の画素が設けられた固体撮像装置である。

## 【0 1 2 9】

このような構成の画像入力装置は、まず、撮像動作を行って、固体撮像装置 5 2 から各画素毎に画像データがメモリ 5 3 に出力される。そして、各画素が撮像動作を終えて、リセット動作を行ったときに、上記で説明したように、各画素の感度のバラツキを調べて、補正データをメモリ 5 4 に出力する。そして、メモリ 5 3 内の各画素の画像データとメモリ 5 4 内の各画素の補正データを、補正演算回路 5 5 にこの画像データを各画素毎に送出する。

## 【0 1 3 0】

補正演算回路 5 5 では、メモリ 5 3 から送出された画像データからこの画像データを出力した同一画素のメモリ 5 4 から送出された補正データが各画素毎に補正演算される。この補正データが補正演算された画像データが処理部 5 6 に送出されて、演算処理された後、外部に出力される。又、このような画像入力装置において、メモリ 5 3、5 4 は、それぞれ、固体撮像装置 5 2 からライン毎に送出されるデータが記録されるラインメモリなどが用いられる。従って、メモリ 5 3、5 4 を固体撮像装置内に組み込むことも容易である。

## 【0 1 3 1】

尚、他の実施形態においては、リセットを行うことによって、ほぼ各画素の感

度のバラツキがキャンセルされるが、これをより正確に行うために図53で説明したようなメモリや補正演算回路などを含む補正回路を設けるようにしても構わない。

#### 【0132】

##### 【発明の効果】

以上説明したように、本発明の請求項1、請求項2、請求項8、請求項9、請求項15、請求項16に記載の固体撮像装置によれば、感光素子とこれに第1電極が電氣的に接続される第1のトランジスタとの間にスイッチ手段を設け、このスイッチ手段をOFFするとともに前記第1のトランジスタに、撮像時よりも大きい電流が流れ得るようにしてリセットを行うようにした。従って、感光素子に入射する光がリセット動作に影響を与えることが防止され、リセット動作が正確に行えるようになる。又、リセットによって各画素が同じ初期状態となり、各画素の感度バラツキを抑制することができる。更に、各画素のリセットを速やかに行うことができるので、撮像時の応答性が良くすることができ、低輝度の被写体を撮像したときに発生する残像をなくすことができる。

#### 【0133】

又、請求項3、請求項13、請求項14に記載するように、光電変換素子と第1トランジスタとの間及び第1トランジスタの制御電極と第1電極との間に設けられた2つのスイッチ、或いは、フォトダイオードと第2MOSトランジスタとの間及び第2MOSトランジスタのゲート電極と第1電極との間に設けられた2つのMOSトランジスタをOFFするとともに、第1のトランジスタの制御電極と第2電極、或いは、第2MOSトランジスタのゲート電極と第2電極に与える電圧を変化させることによって各画素の感度バラツキを検出することにより、正確に各画素の感度バラツキの検出を行うことができる。更に、能動素子をMOSトランジスタで構成することにより高集積化が容易となり、周辺の処理回路（A/Dコンバータ、デジタル・システム・プロセッサ、メモリ）等とともにワンチップ上に形成することができる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2】 本発明の第 1 の実施形態の 1 画素の構成を示す回路図。

【図 3】 第 1 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 4】 図 2 の画素の構成及びポテンシャルの関係を表した図。

【図 5】 本発明の第 2 の実施形態の 1 画素の構成を示す回路図。

【図 6】 本発明の第 3 の実施形態の 1 画素の構成を示す回路図。

【図 7】 第 3 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 8】 図 6 の画素の構成及びポテンシャルの関係を表した図。

【図 9】 本発明の第 4 の実施形態の 1 画素の構成を示す回路図。

【図 1 0】 第 4 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 1】 図 9 の画素の構成及びポテンシャルの関係を表した図。

【図 1 2】 本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 1 3】 図 1 2 の一部の回路図。

【図 1 4】 本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 5】 第 5 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 6】 本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 1 7】 本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 1 8】 第 7 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 9】本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

【図 2 0】本発明の第 9 の実施形態の 1 画素の構成を示す回路図。

【図 2 1】第 9 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 2 2】本発明の第 1 0 の実施形態の 1 画素の構成を示す回路図。

【図 2 3】第 1 0 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 2 4】本発明の第 7 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 2 5】本発明の第 8 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 2 6】本発明の第 9 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 2 7】本発明の第 1 0 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 2 8】本発明の第 7 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 2 9】本発明の第 8 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 3 0】本発明の第 9 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 3 1】本発明の第 1 0 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 3 2】画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 3 3】本発明の第 1 1 の実施形態の 1 画素の構成を示す回路図。

【図 3 4】本発明の第 1 2 の実施形態の 1 画素の構成を示す回路図。

【図 3 5】本発明の第 1 3 の実施形態の 1 画素の構成を示す回路図。

【図 3 6】本発明の第 1 4 の実施形態の 1 画素の構成を示す回路図。

【図 3 7】画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。



【図 3 8】図 3 7 の一部の回路図。

【図 3 9】本発明の第 1 5 の実施形態の 1 画素の構成を示す回路図。

【図 4 0】本発明の第 1 6 の実施形態の 1 画素の構成を示す回路図。

【図 4 1】本発明の第 1 7 の実施形態の 1 画素の構成を示す回路図。

【図 4 2】本発明の第 1 8 の実施形態の 1 画素の構成を示す回路図。

【図 4 3】本発明の第 1 9 の実施形態の 1 画素の構成を示す回路図。

【図 4 4】本発明の第 2 0 の実施形態の 1 画素の構成を示す回路図。

【図 4 5】本発明の第 1 7 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 4 6】本発明の第 1 8 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 4 7】本発明の第 1 9 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 4 8】本発明の第 2 0 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 4 9】本発明の第 1 7 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 5 0】本発明の第 1 8 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 5 1】本発明の第 1 9 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 5 2】本発明の第 2 0 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 5 3】各実施形態の画素を用いた個体撮像装置を備えた画像入力装置の内部構造を示すブロック図。

【図 5 4】従来例の 1 画素の構成を示す回路図。

【符号の説明】

G 1 1 ~ G m n      画素

2      垂直走査回路

3      水平走査回路

4 - 1 ~ 4 - n      行選択線

6 - 1 ~ 6 - m      出力信号線

7      直流電圧線

8      ライン

9      信号線

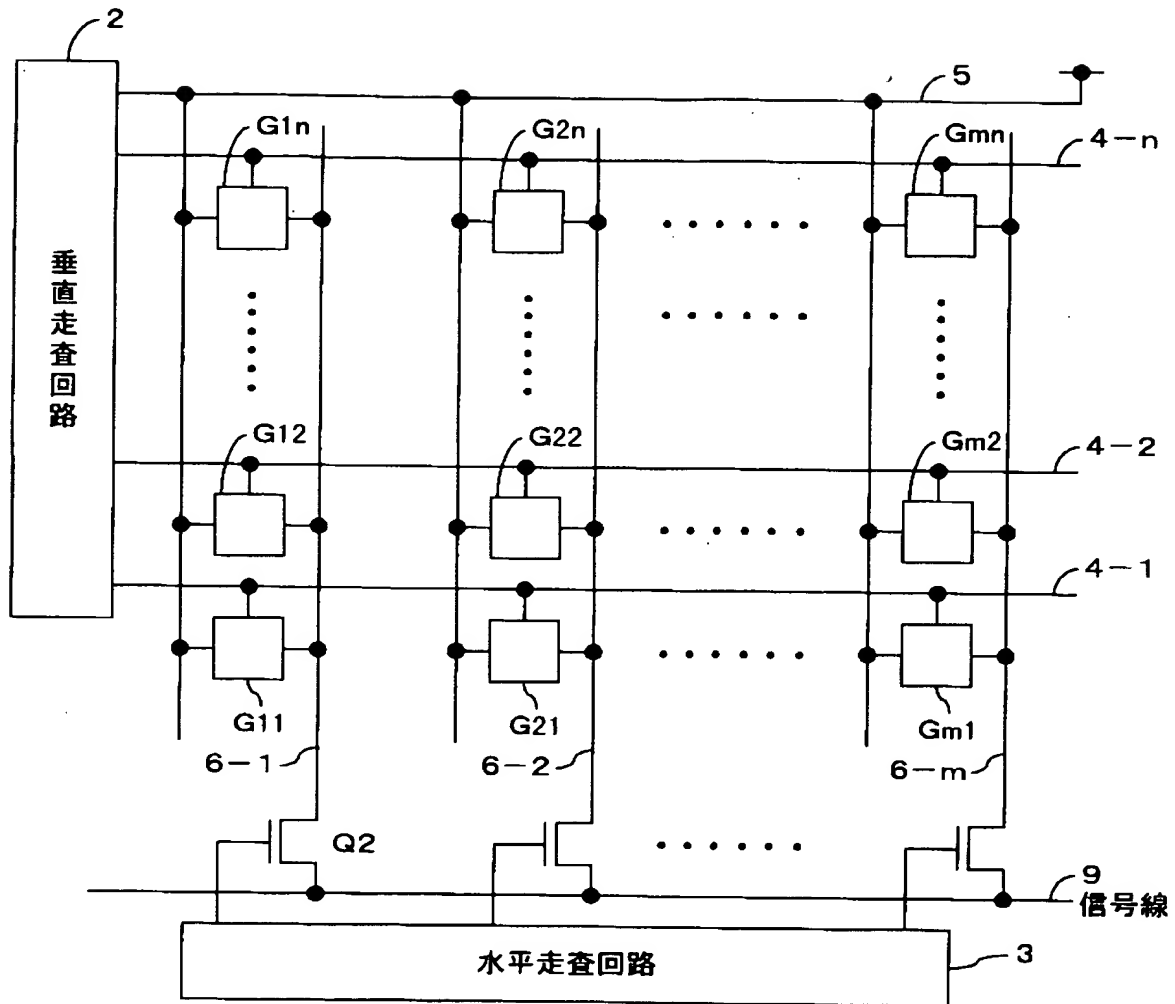
1 0      P 型半導体基板

1 1, 1 2      N 型拡散層

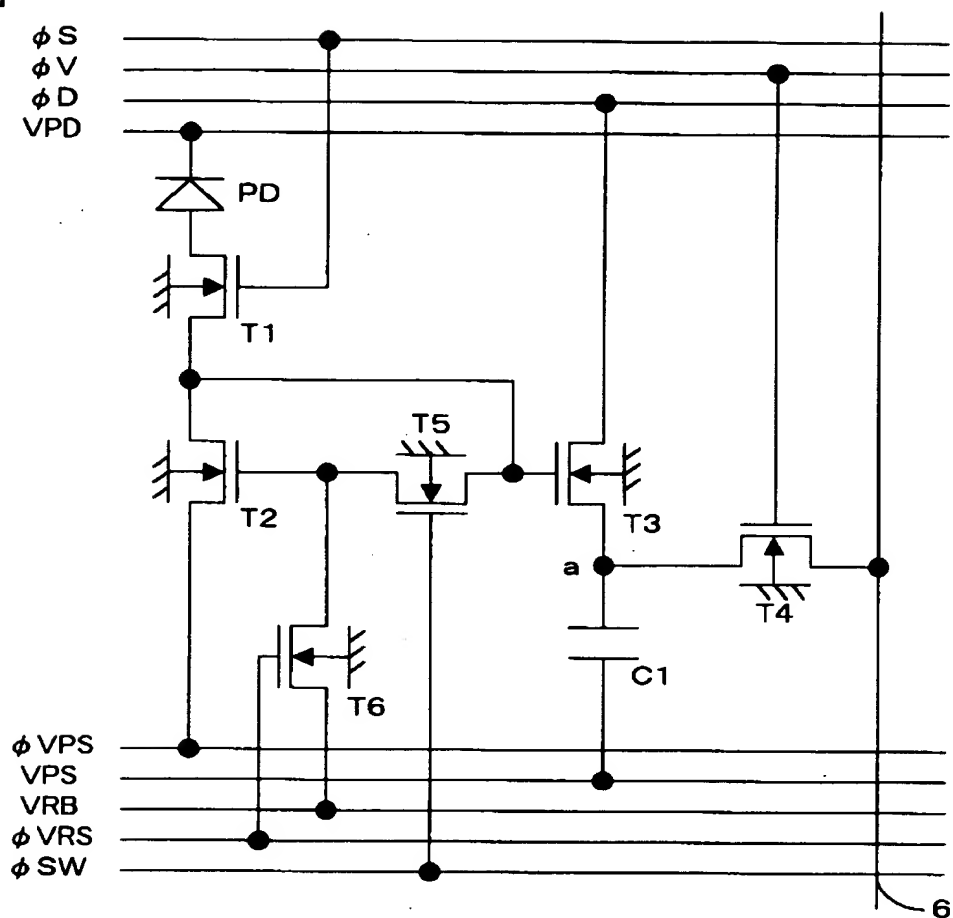
1 3      酸化膜  
1 4      ポリシリコン  
5 1      対物レンズ  
5 2      固体撮像装置  
5 3, 5 4      メモリ  
5 5      補正演算回路  
5 6      処理部  
P D      フォトダイオード  
T 1 ~ T 8      第 1 ~ 第 8 M O S トランジスタ  
C 1, C 2      キャパシタ

【書類名】 図面

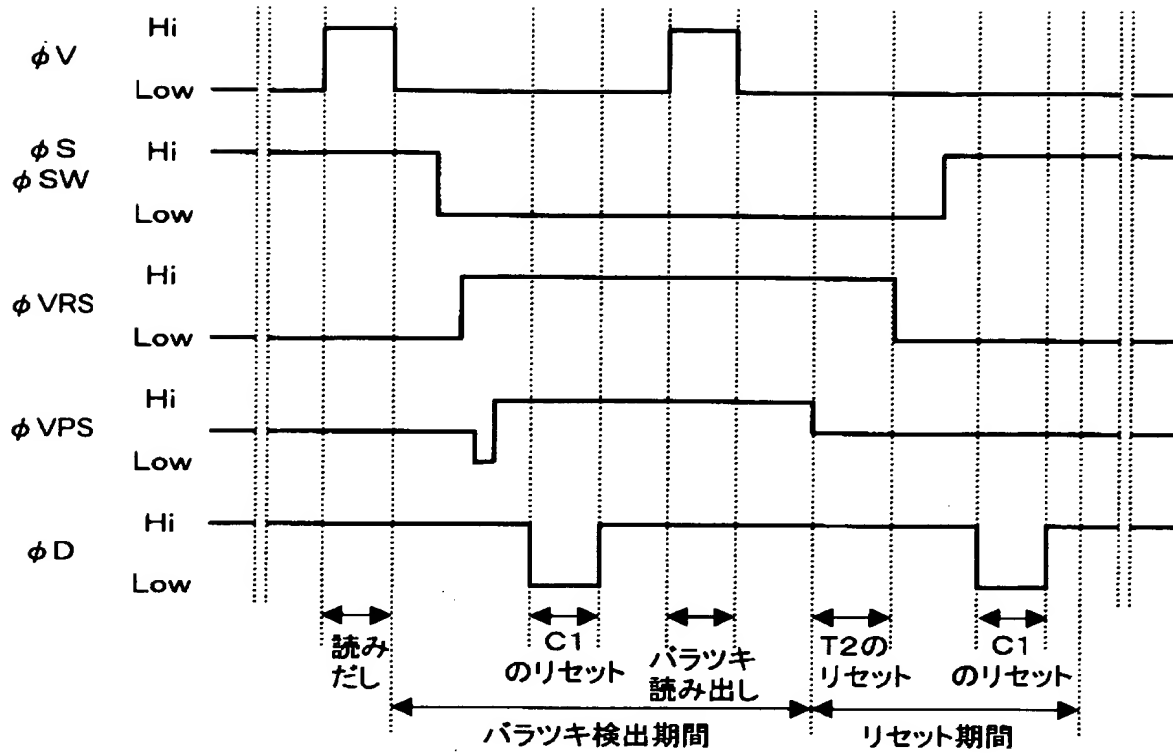
【図 1】



【図 2】

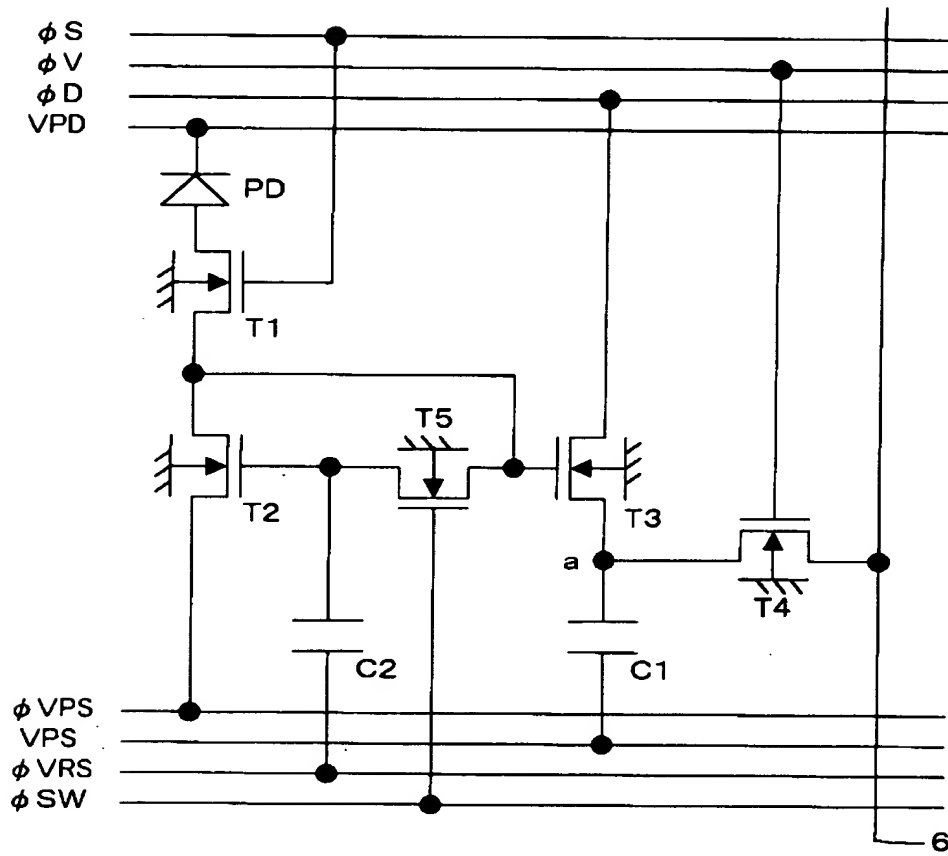


【図 3】

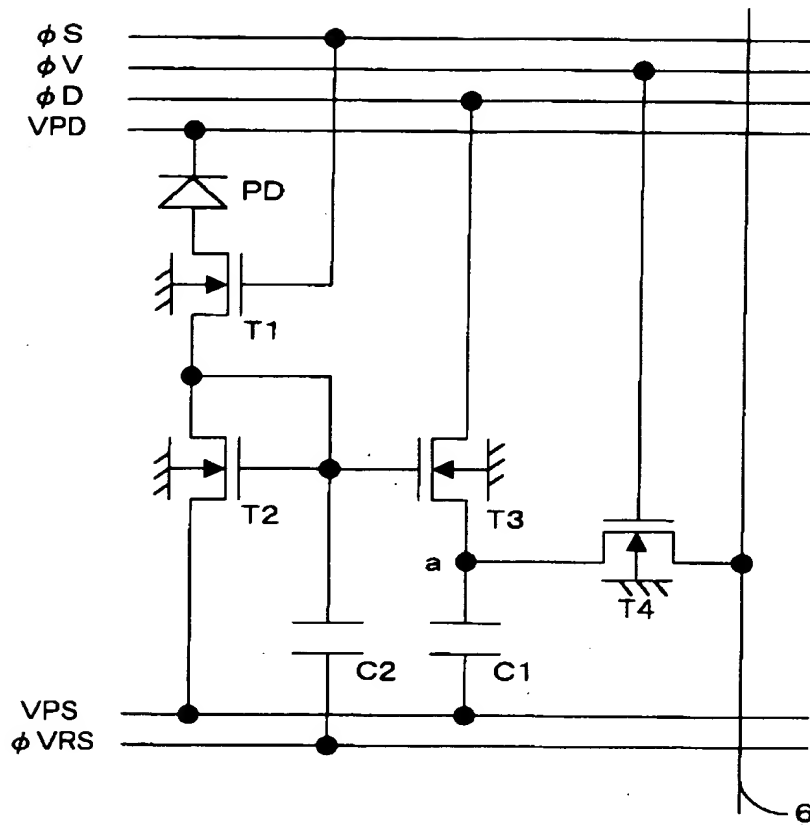




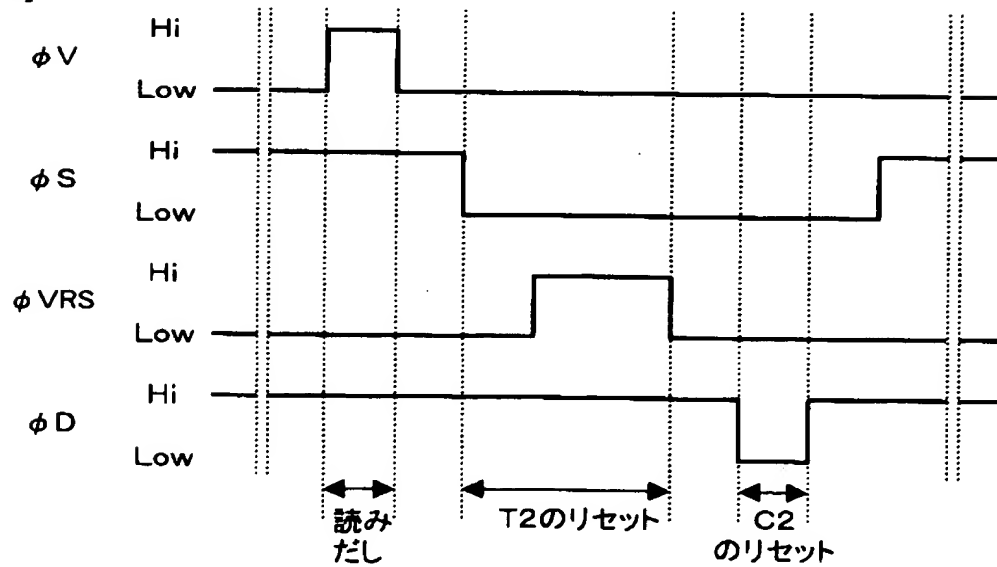
【図 5】



【図 6】

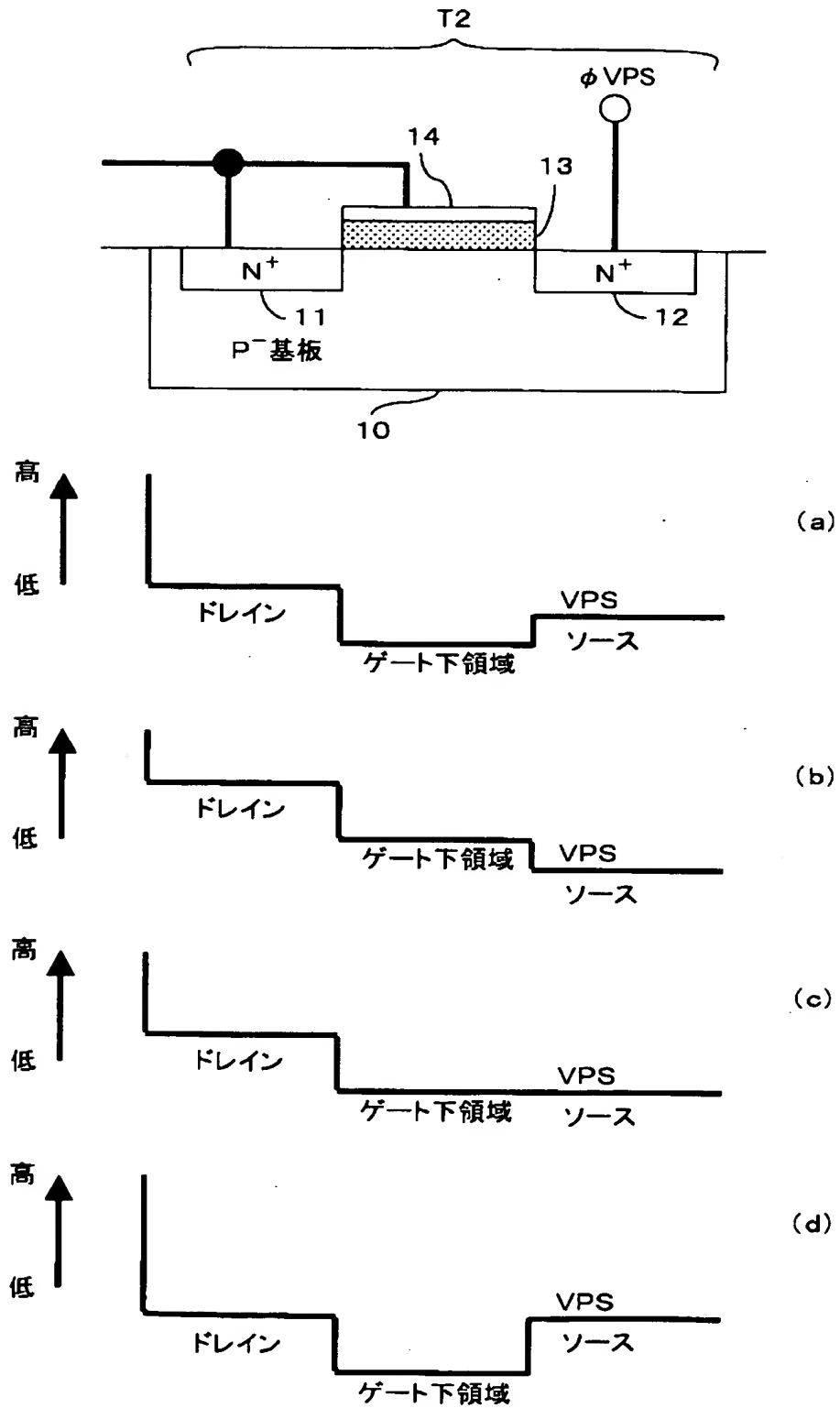


【図 7】

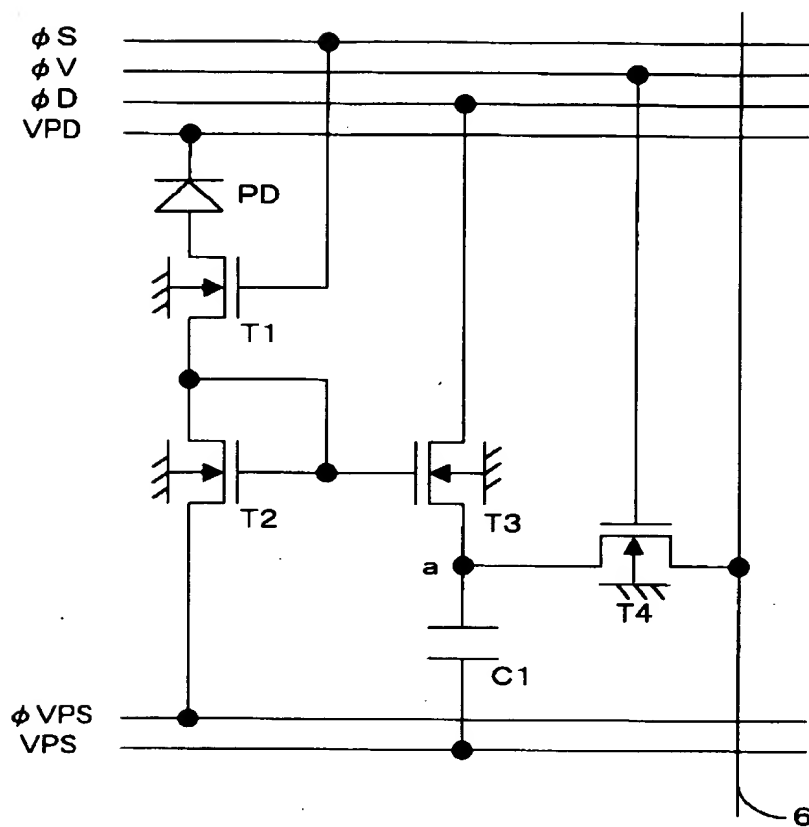




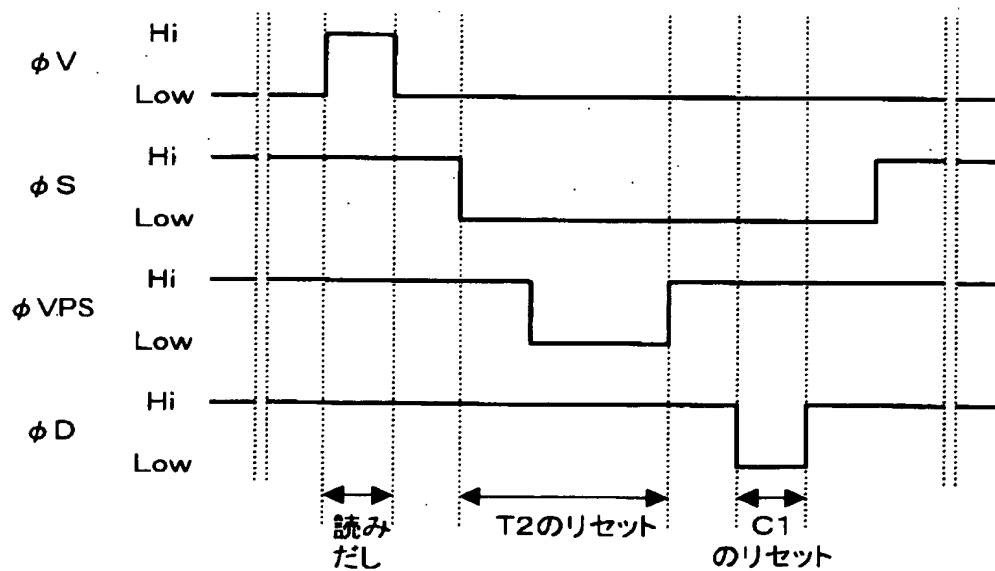
【図 8】



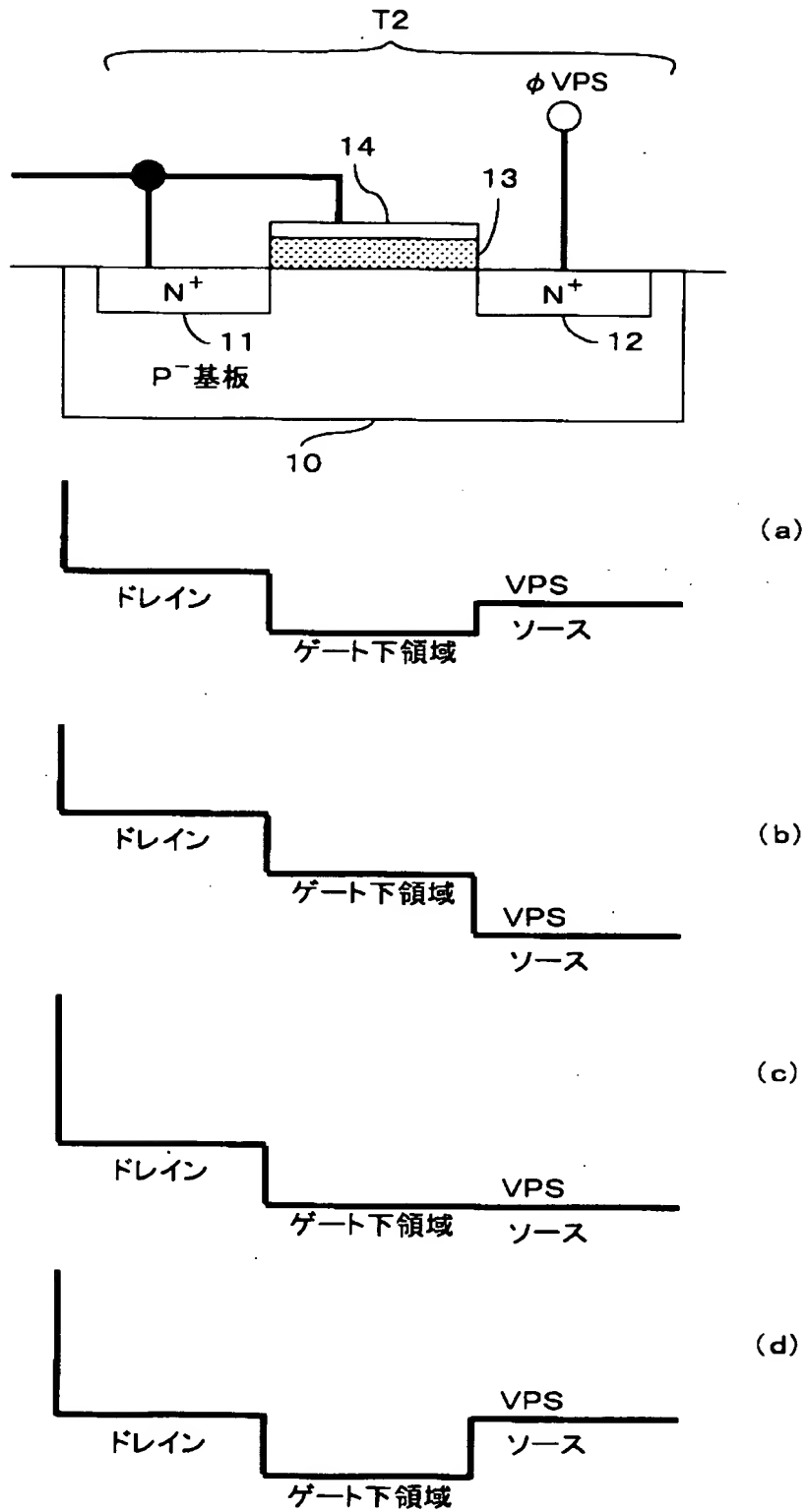
【図 9】



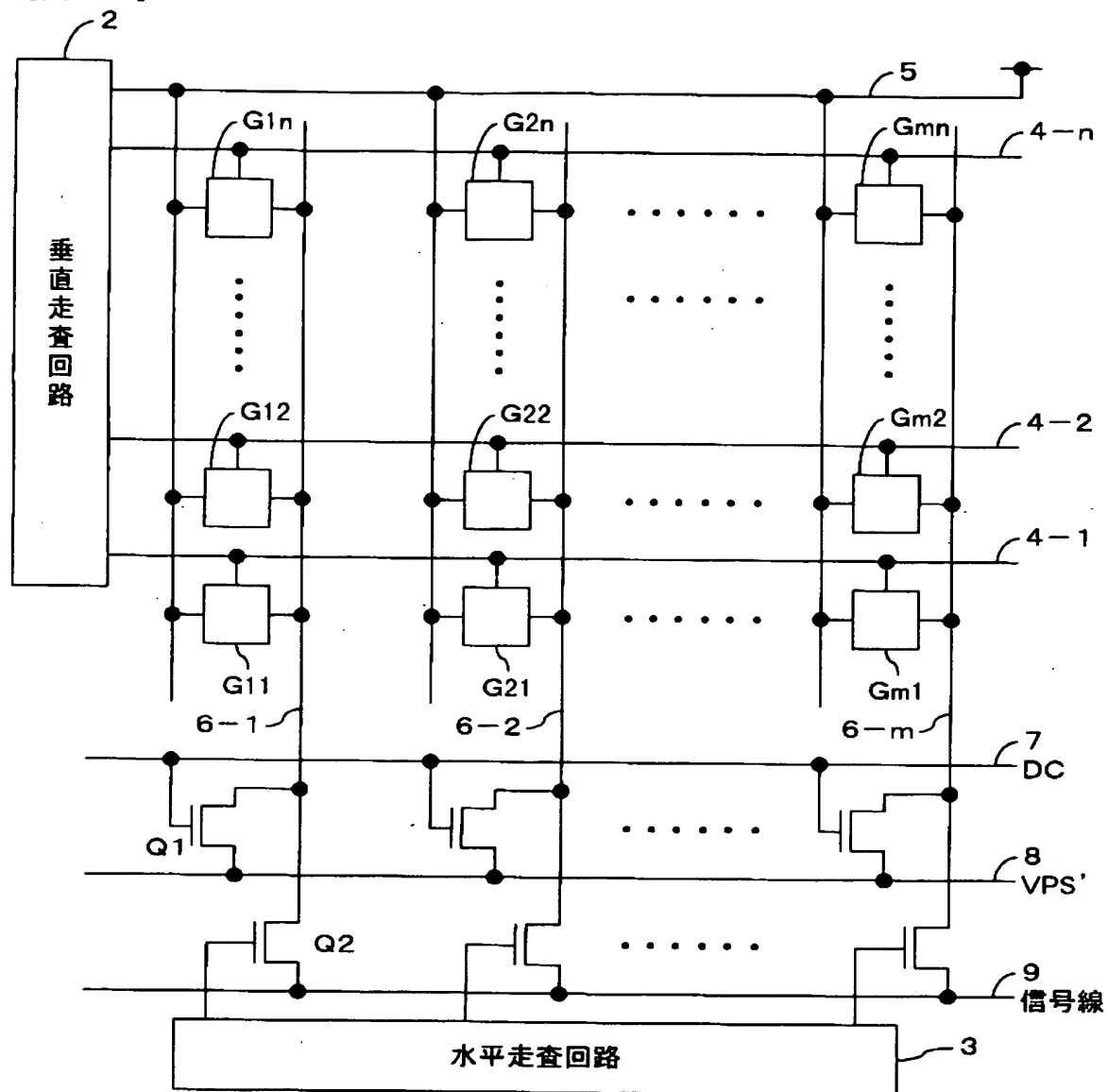
【図 10】



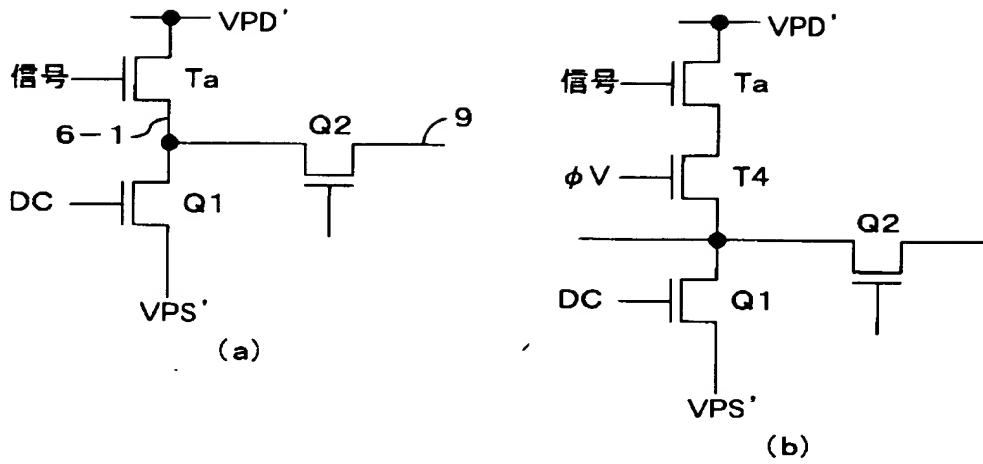
【図 11】



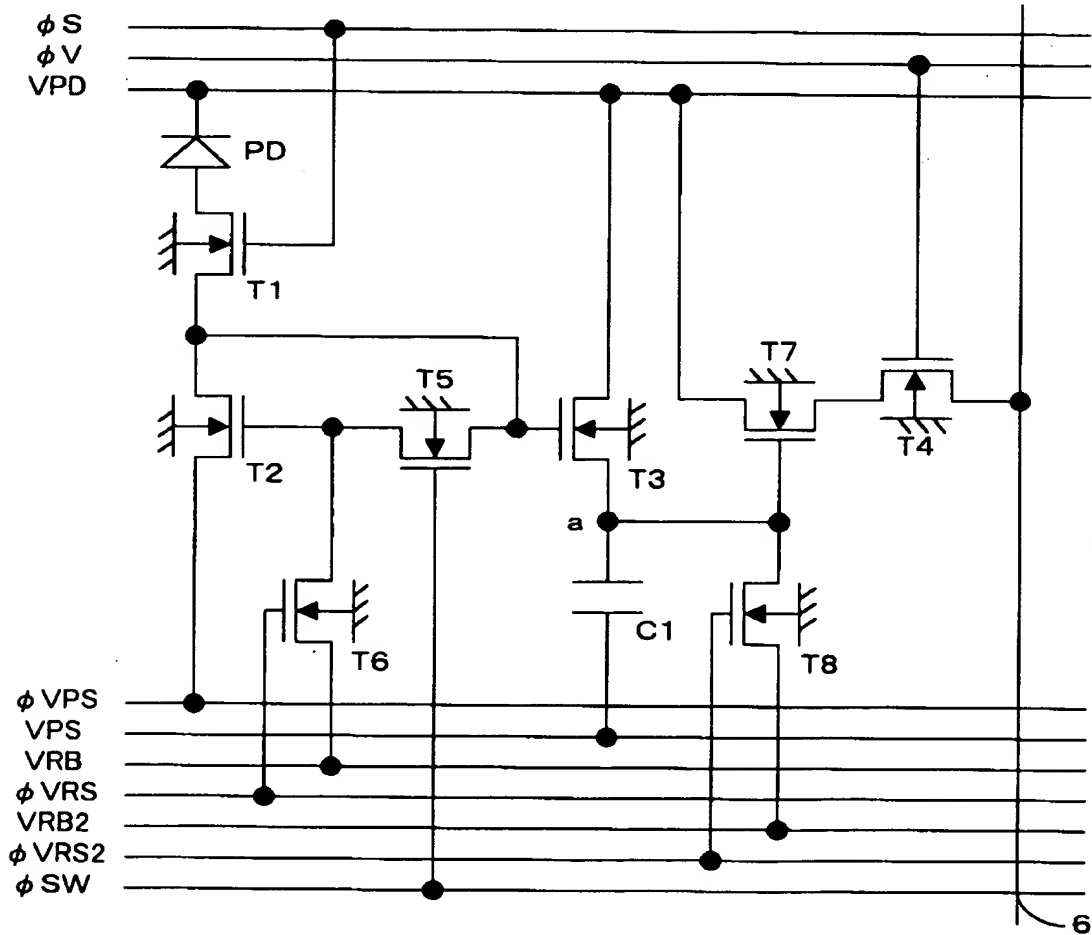
【図 1 2】



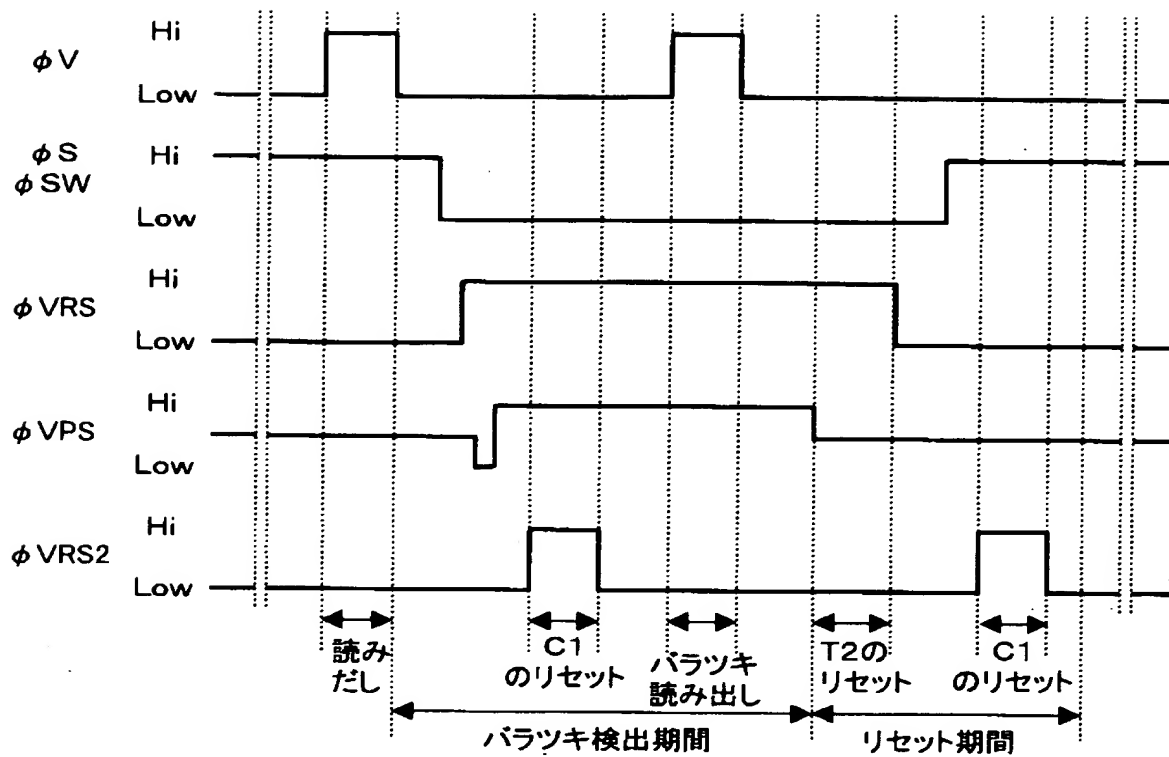
【図 1 3】



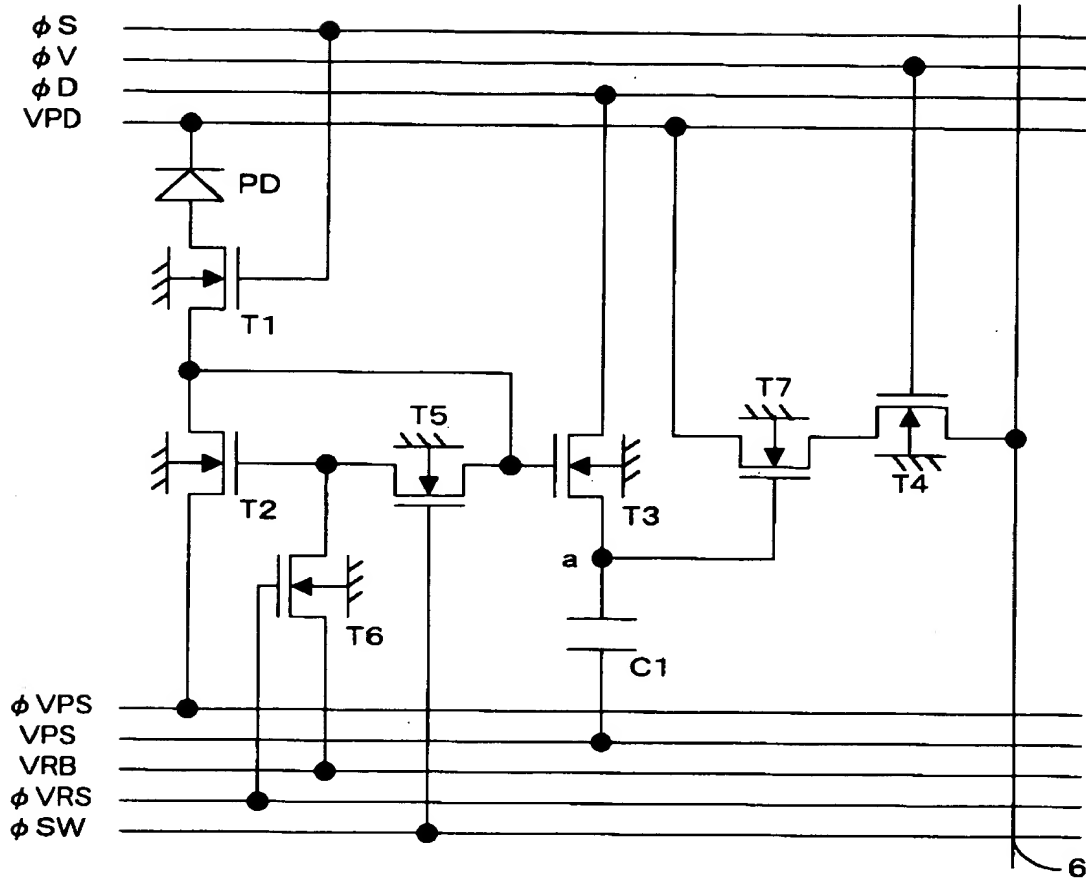
【図 1 4】



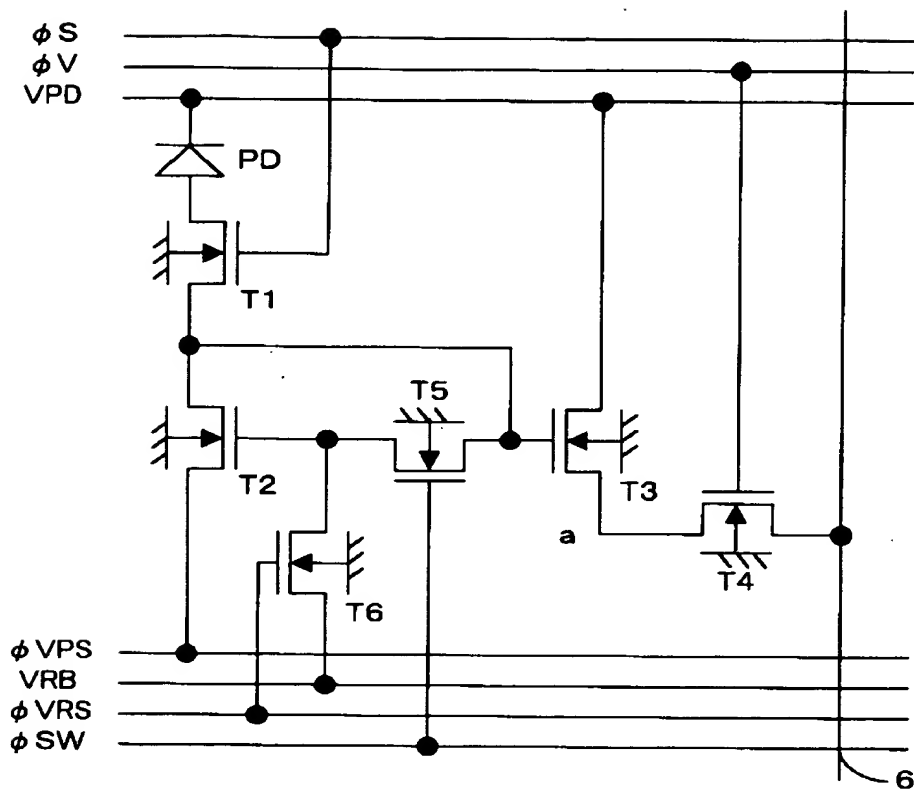
【図 1 5】



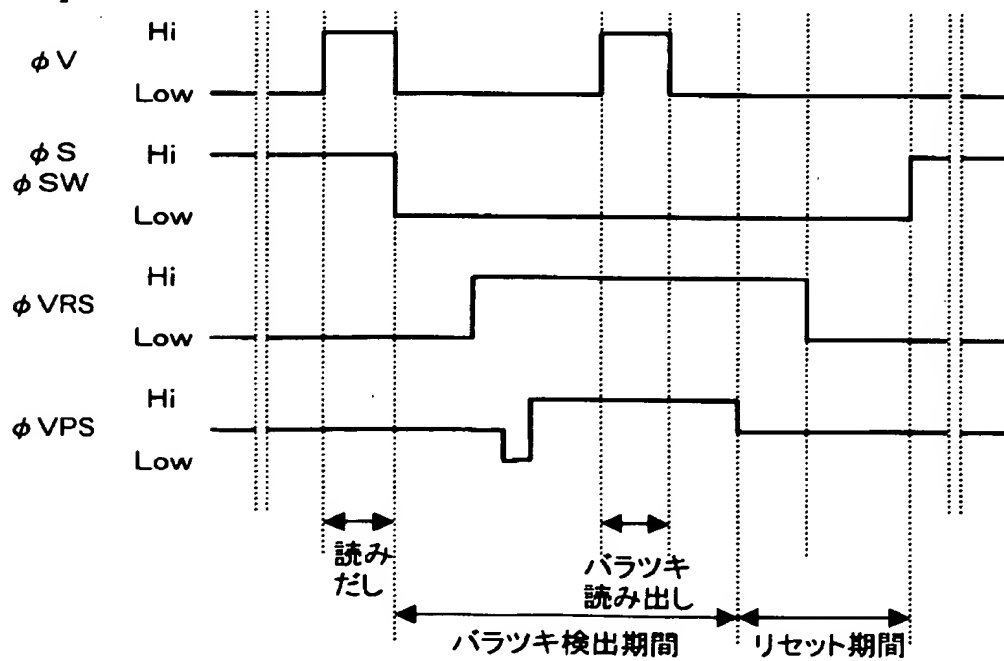
【図 16】



【図 17】



【図 18】

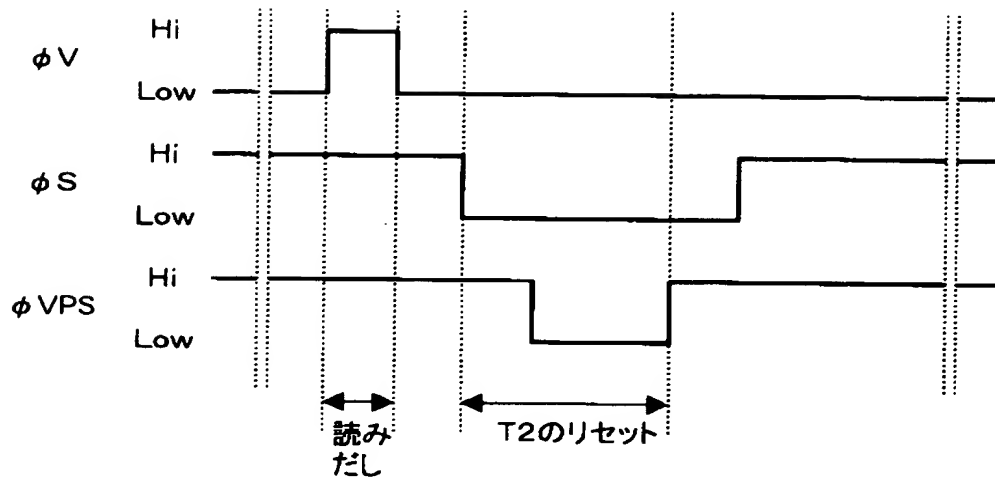




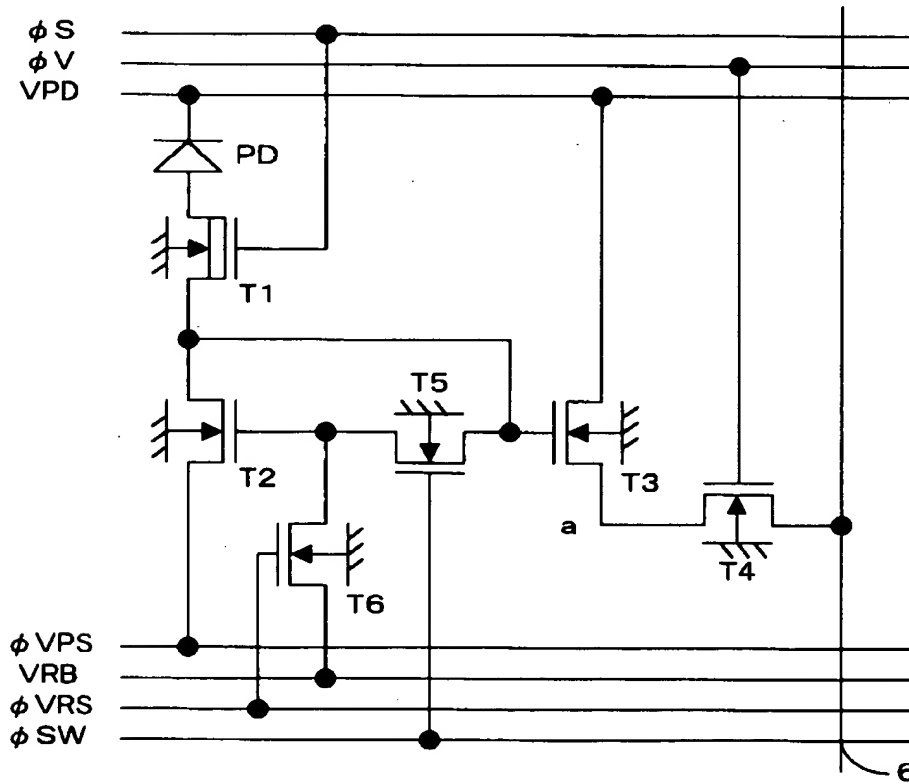




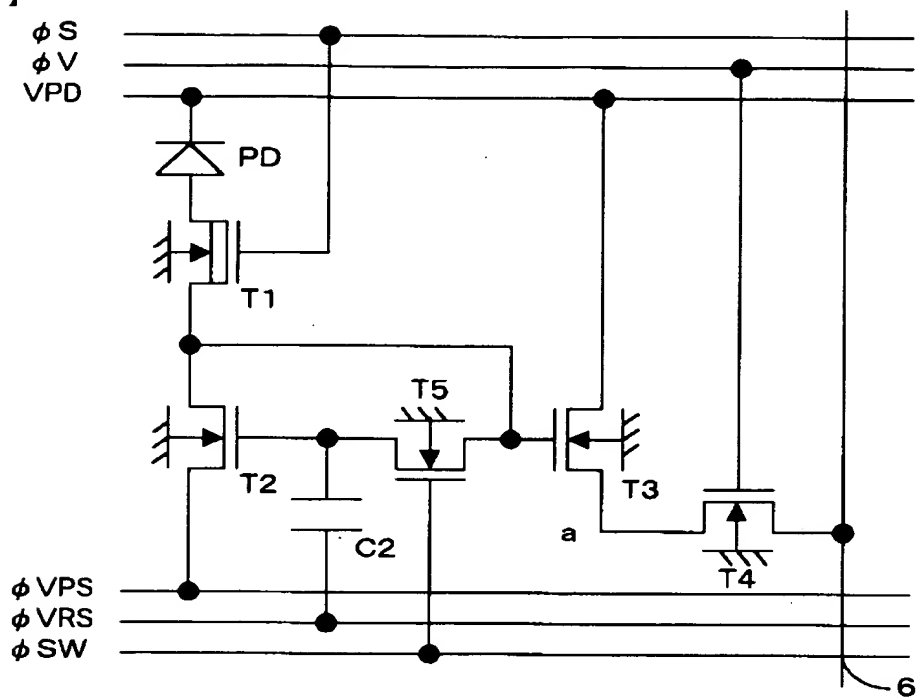
【図 2 3】



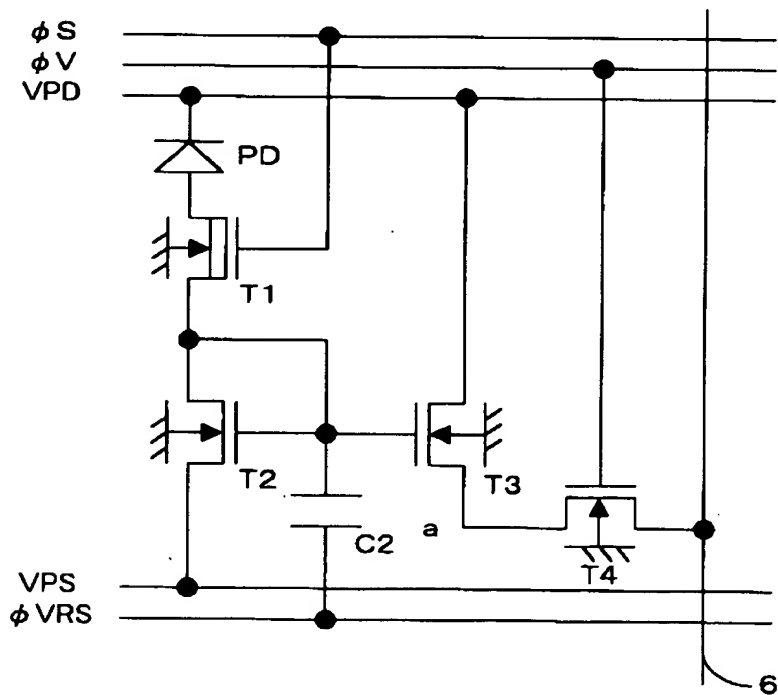
【図 2 4】



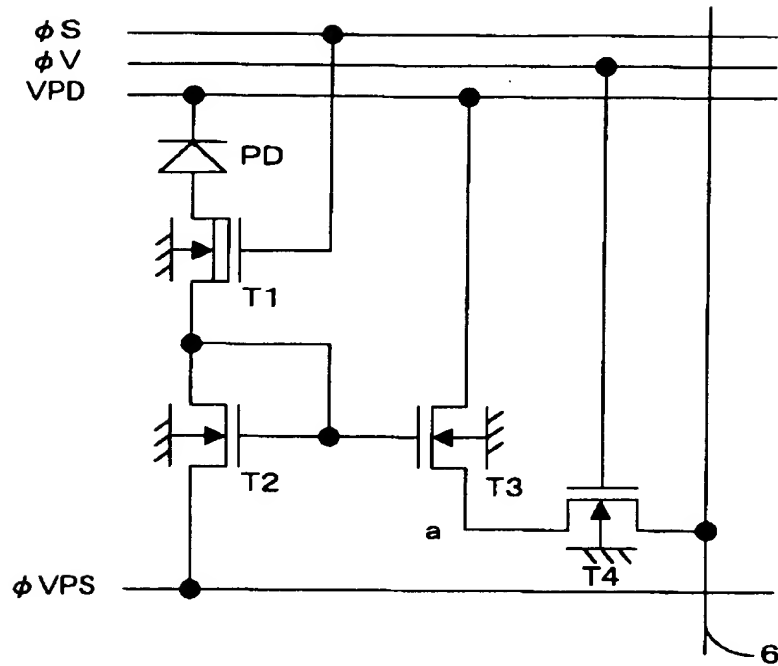
【図 2 5】



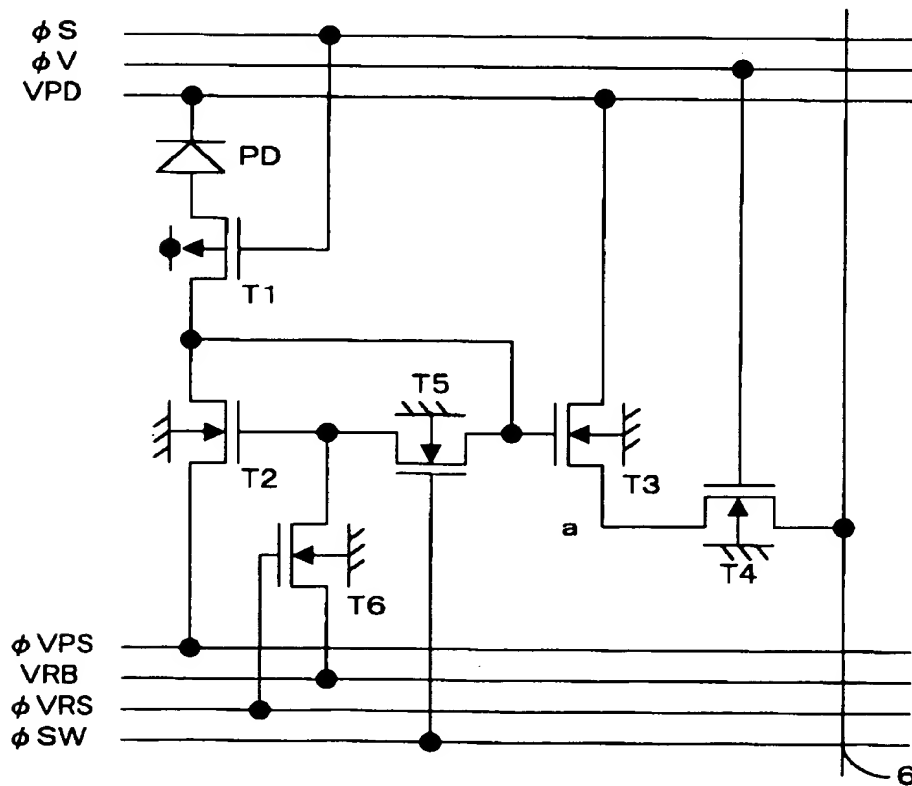
【図 2 6】



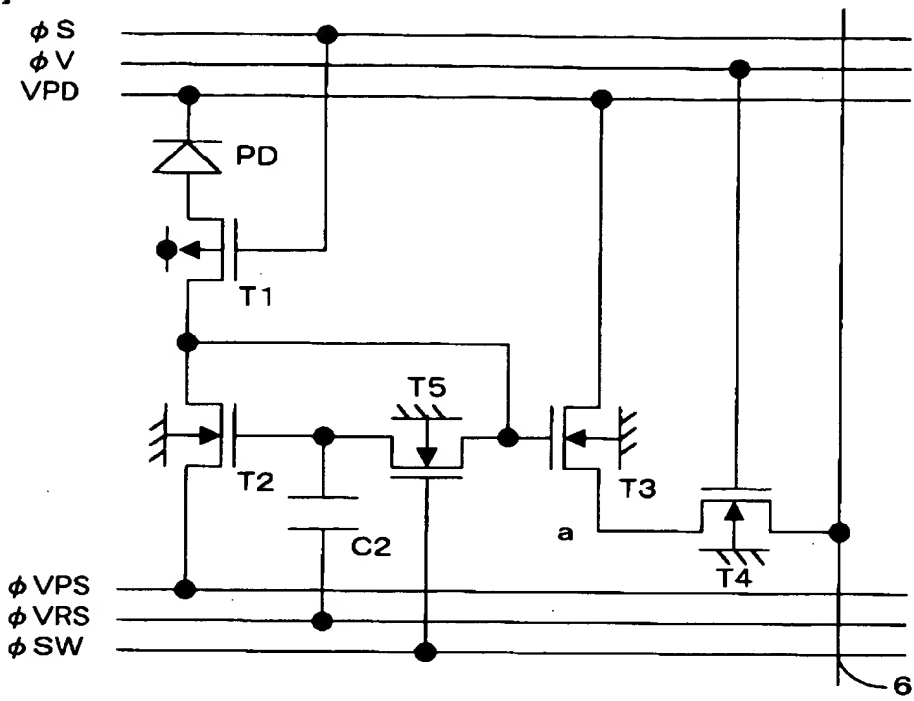
【図 2 7】



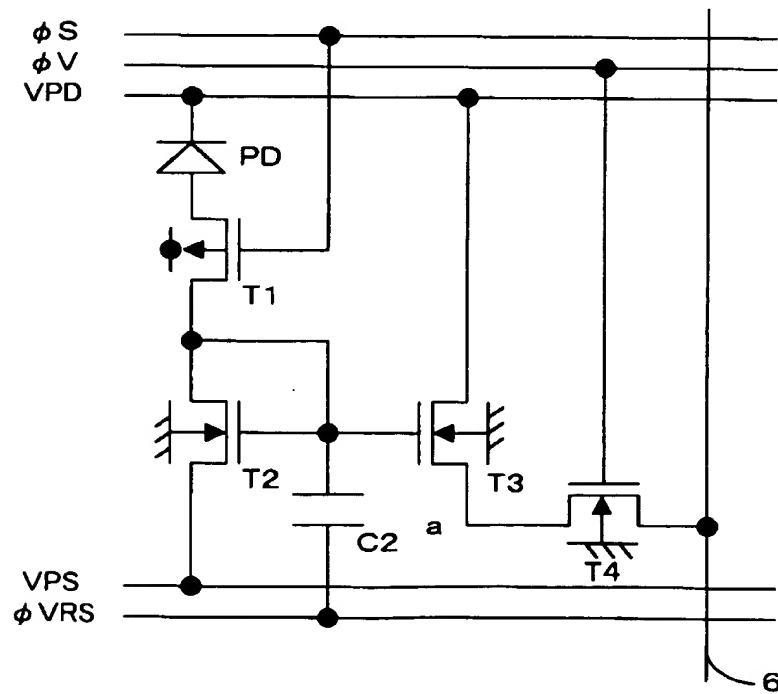
【図 2 8】



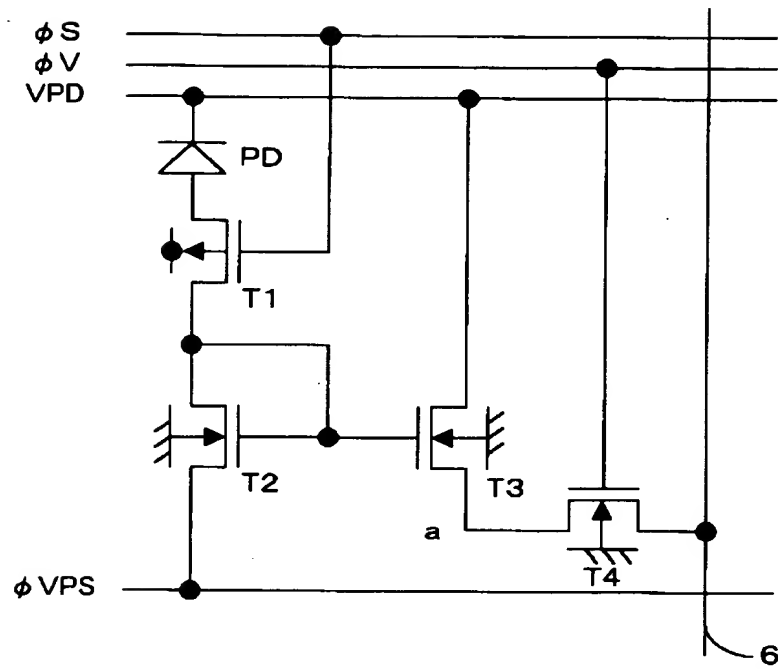
【図 29】



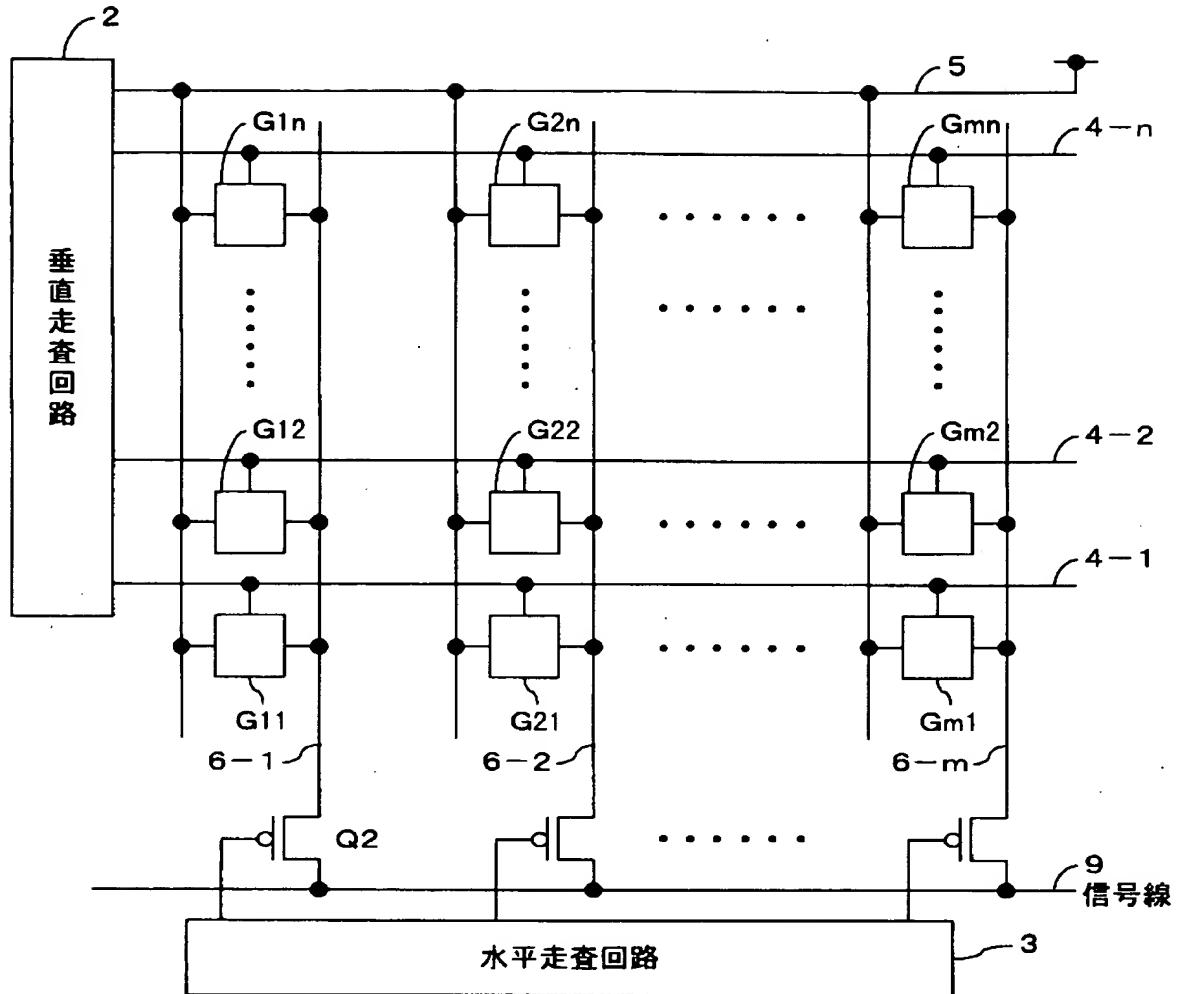
【図 30】



【図 3 1】

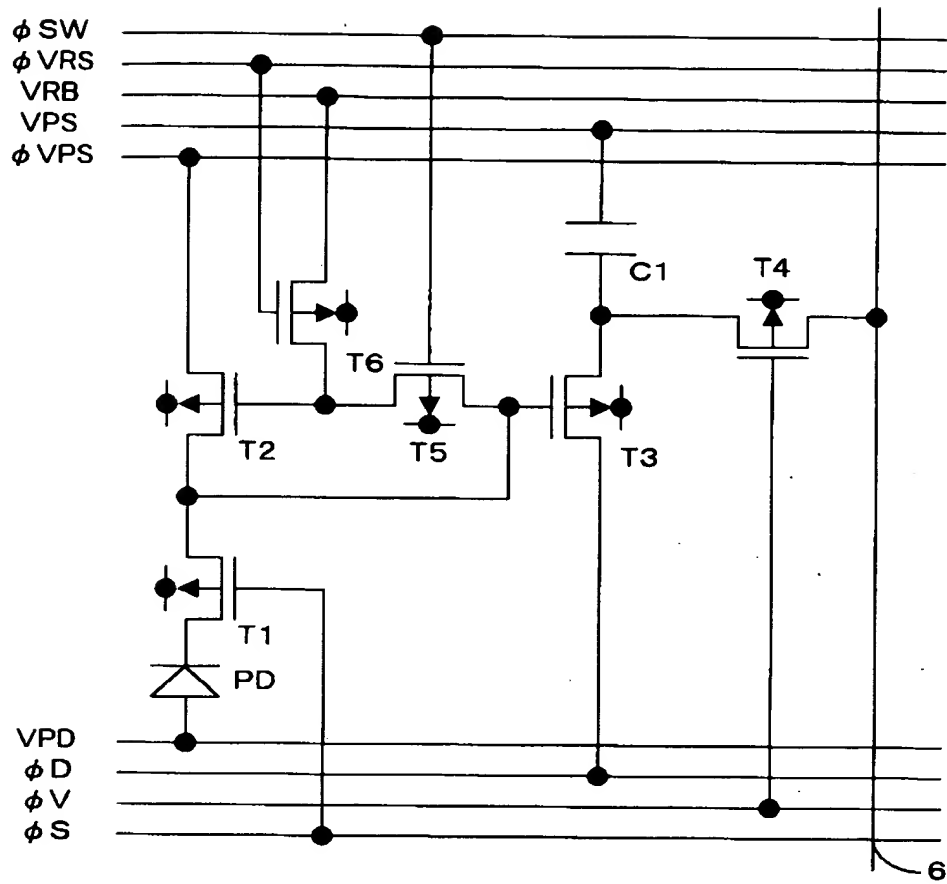


【図 3 2】

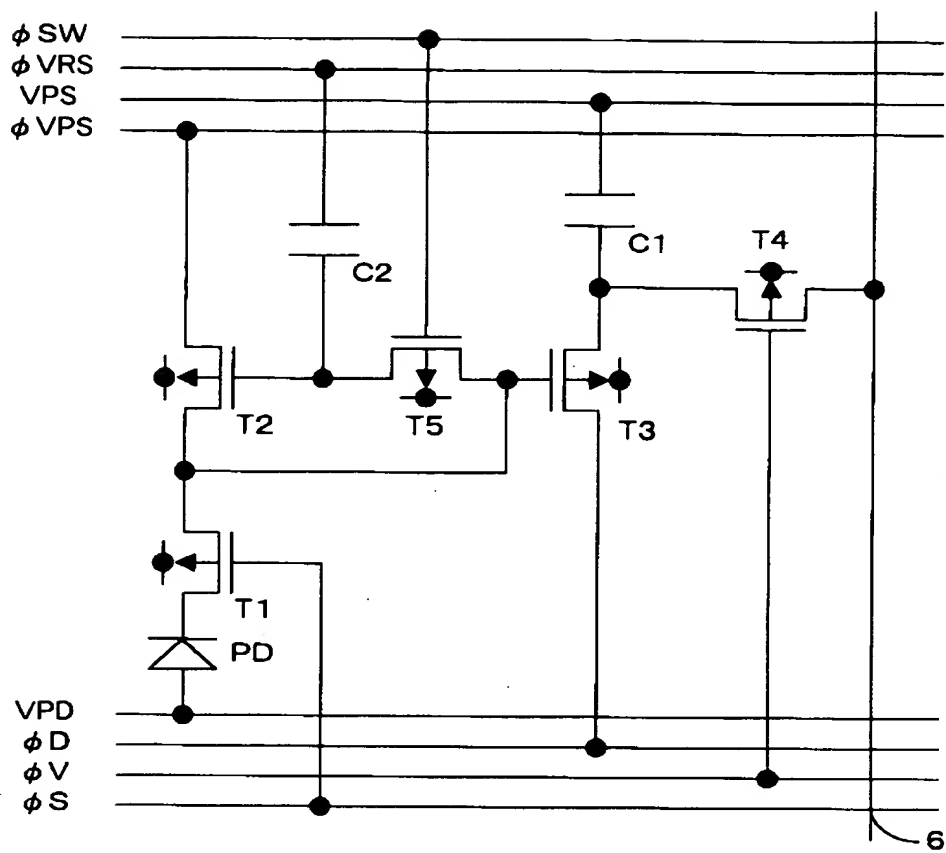




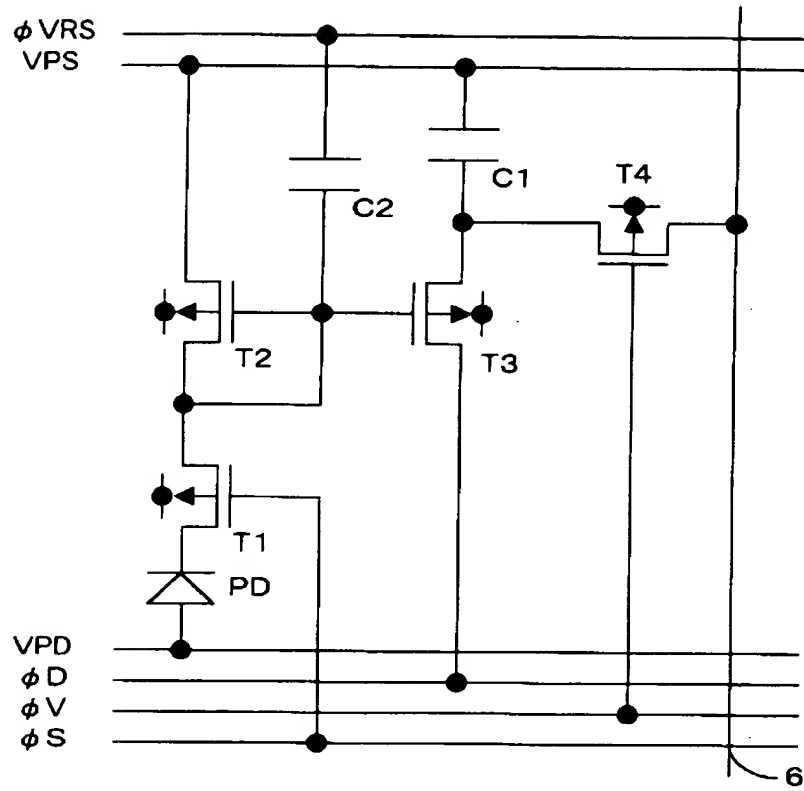
【図 3 3】



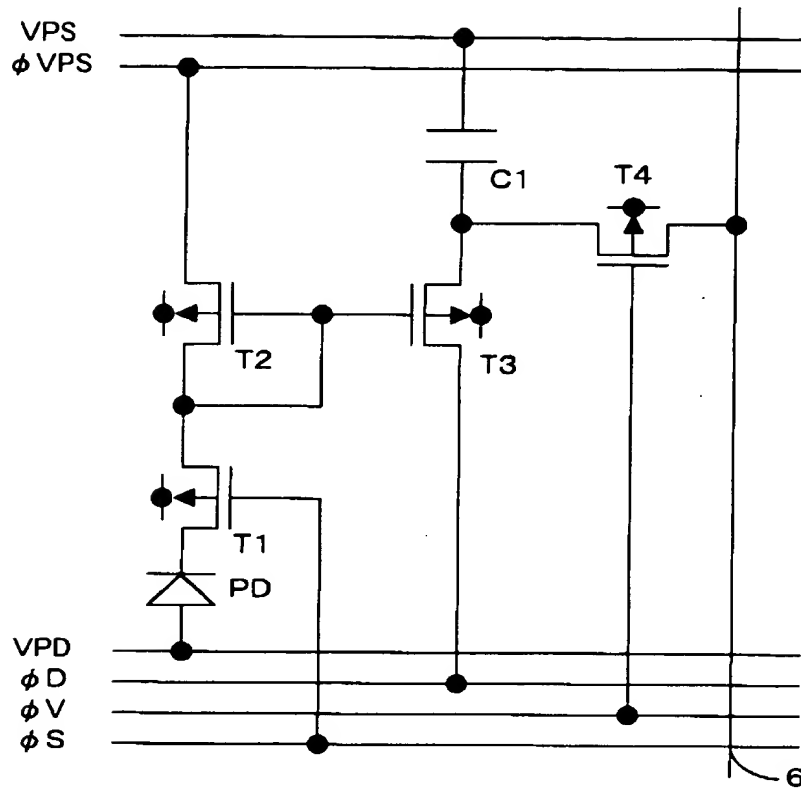
【図 3 4】



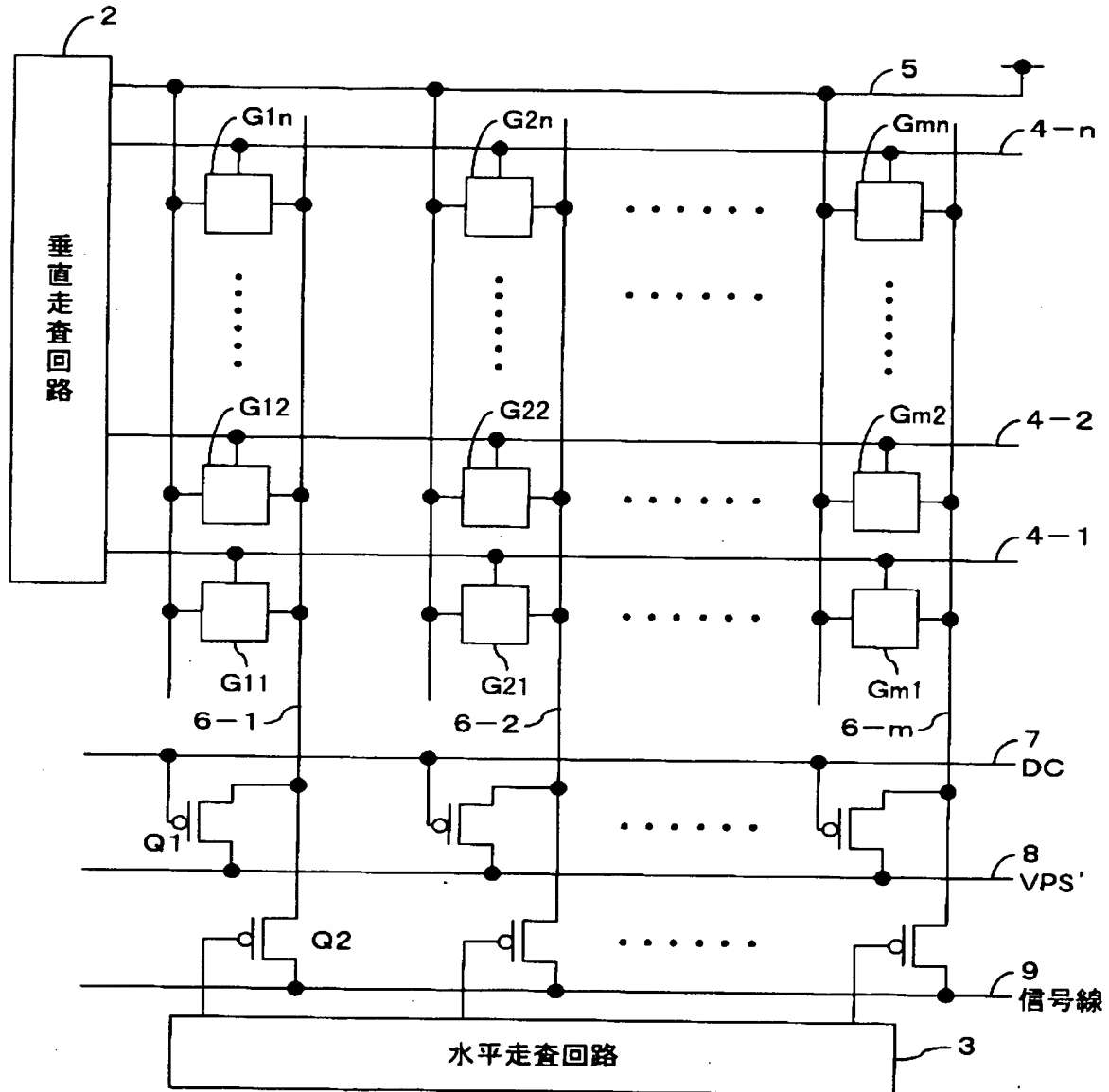
【図 35】



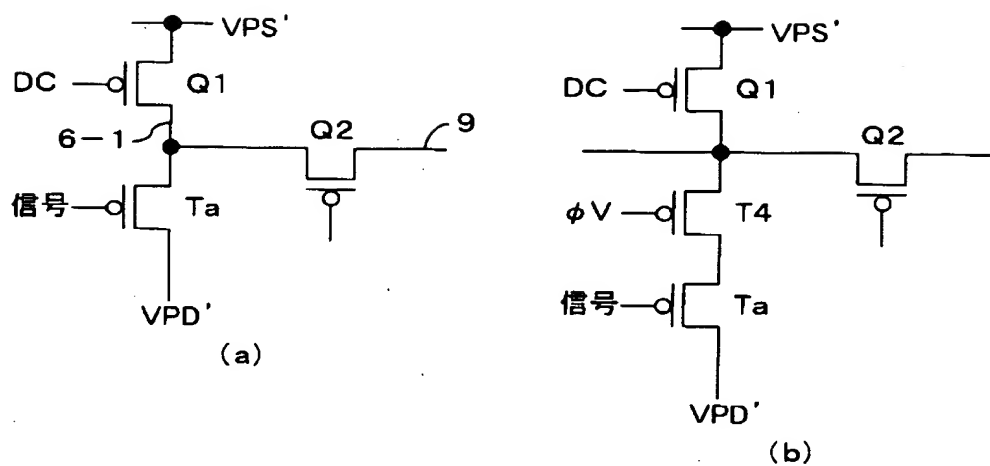
【図 3 6】



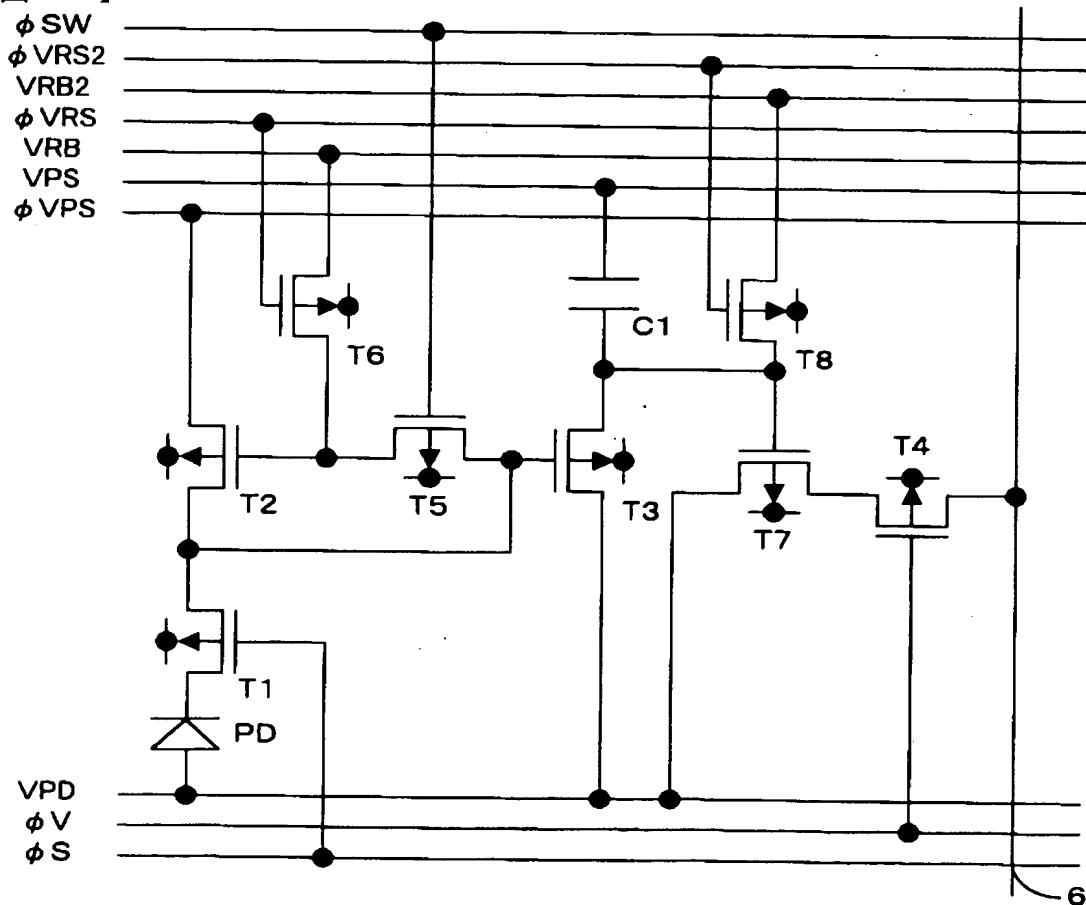
【図 3 7】



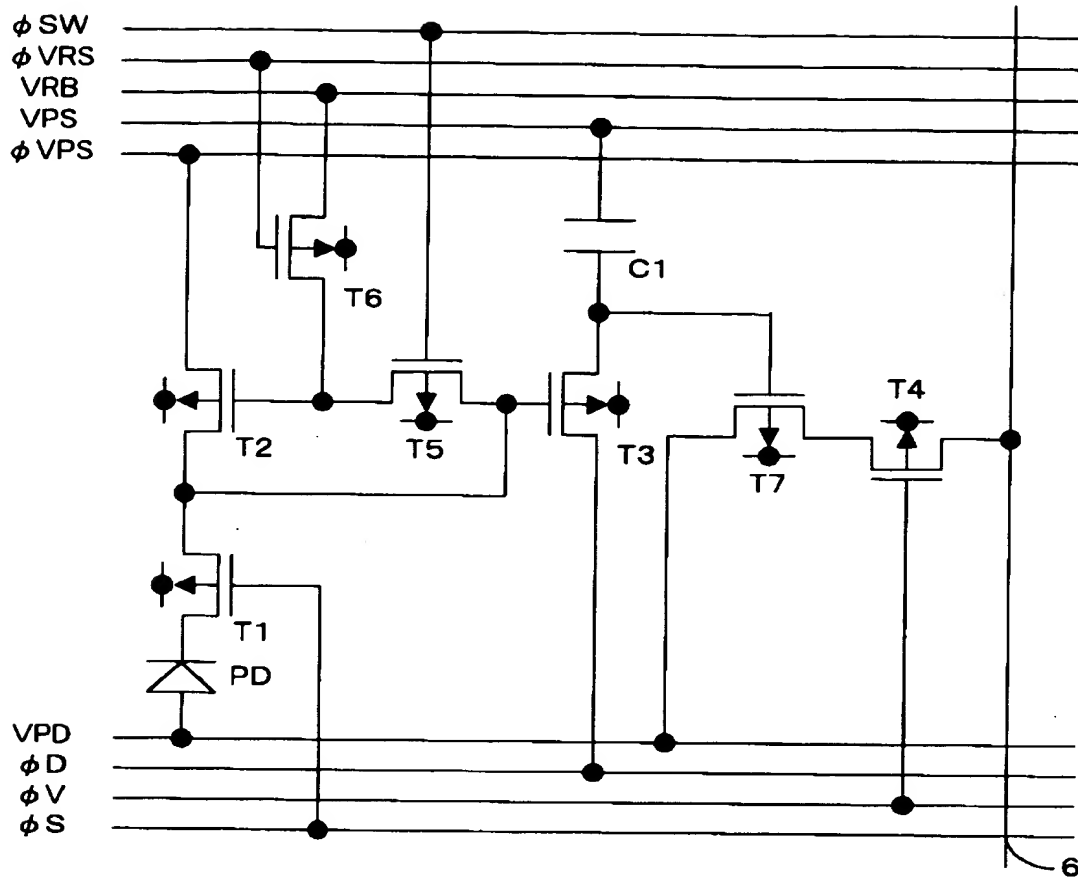
【図 3 8】



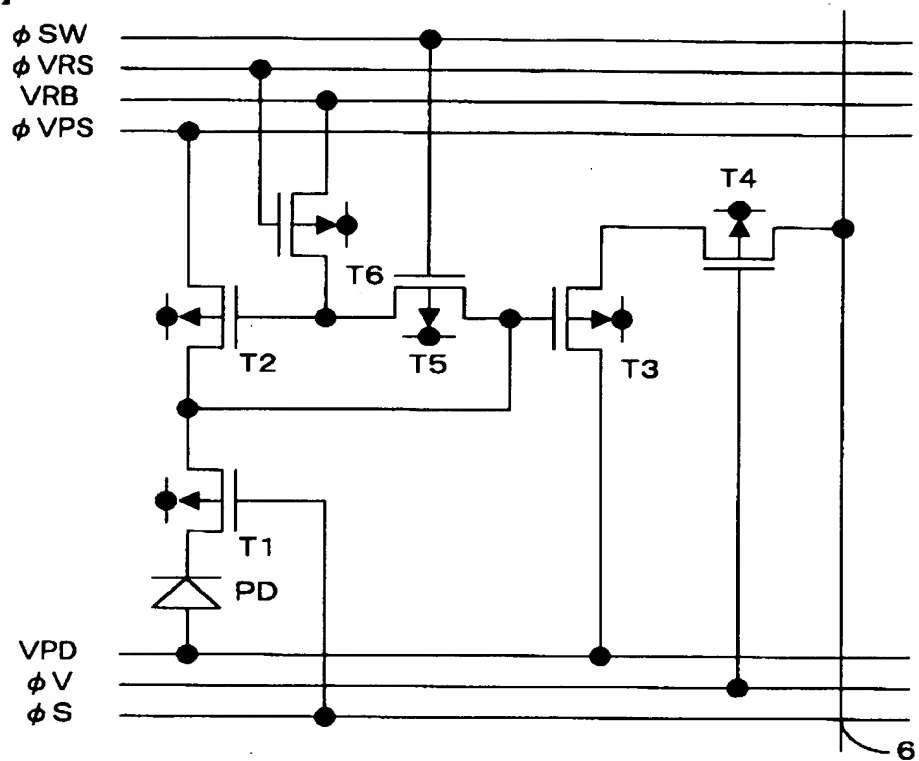
【図 3 9】



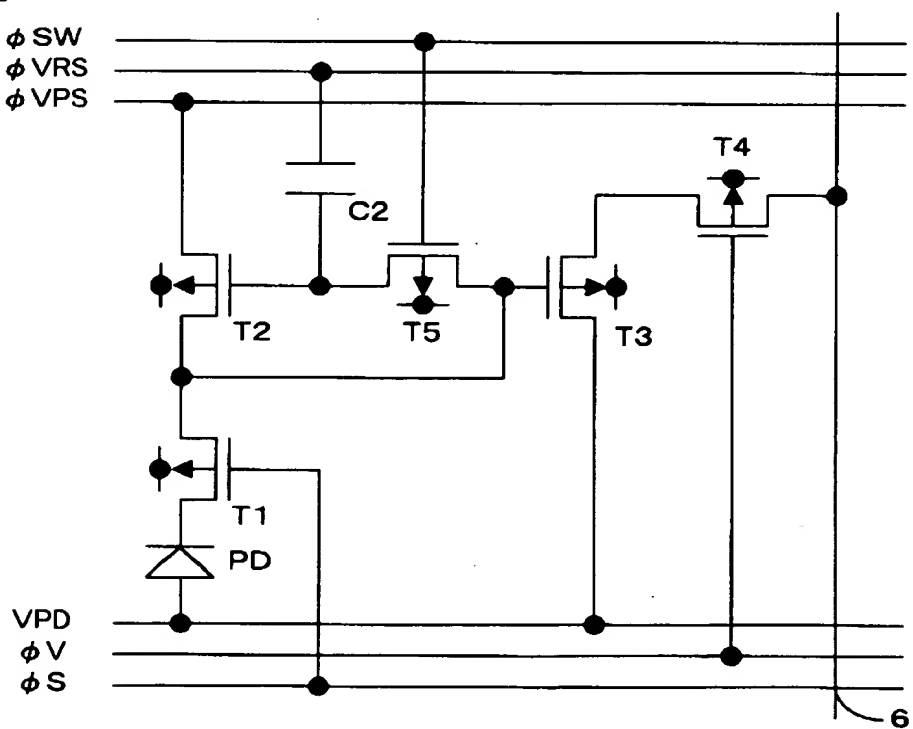
【図 4 0】



【図 4 1】

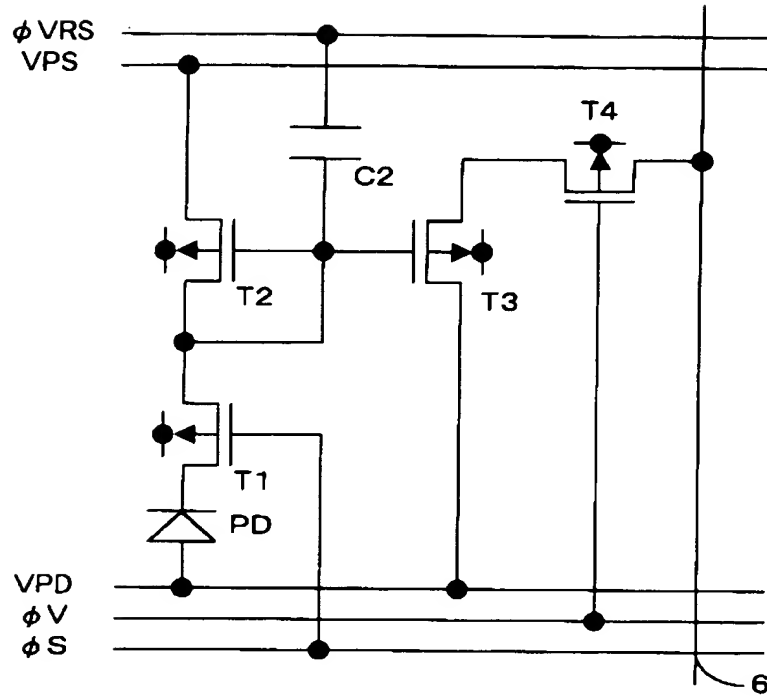


【図 4 2】

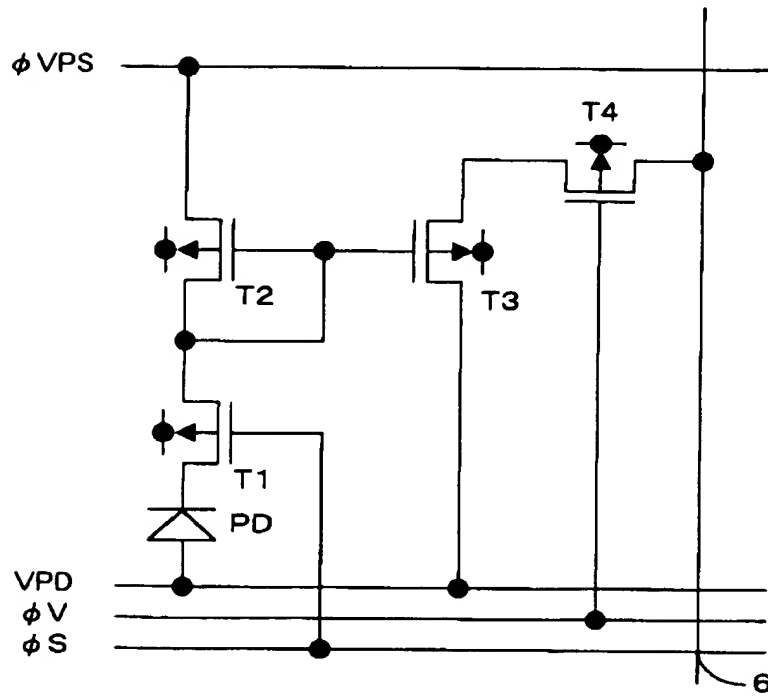




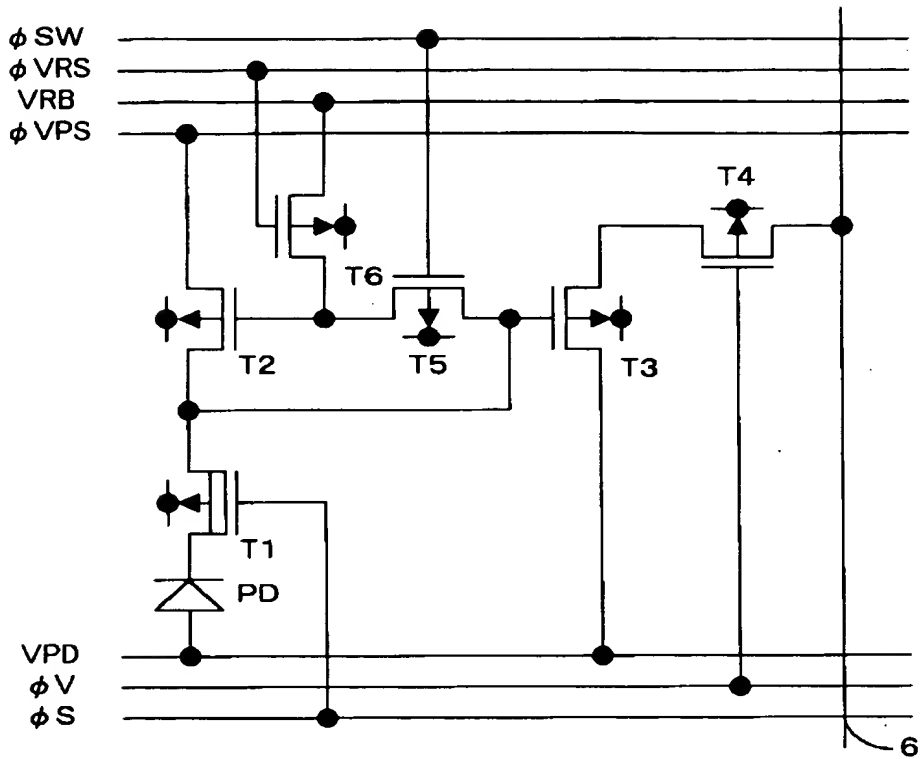
【図 4 3】



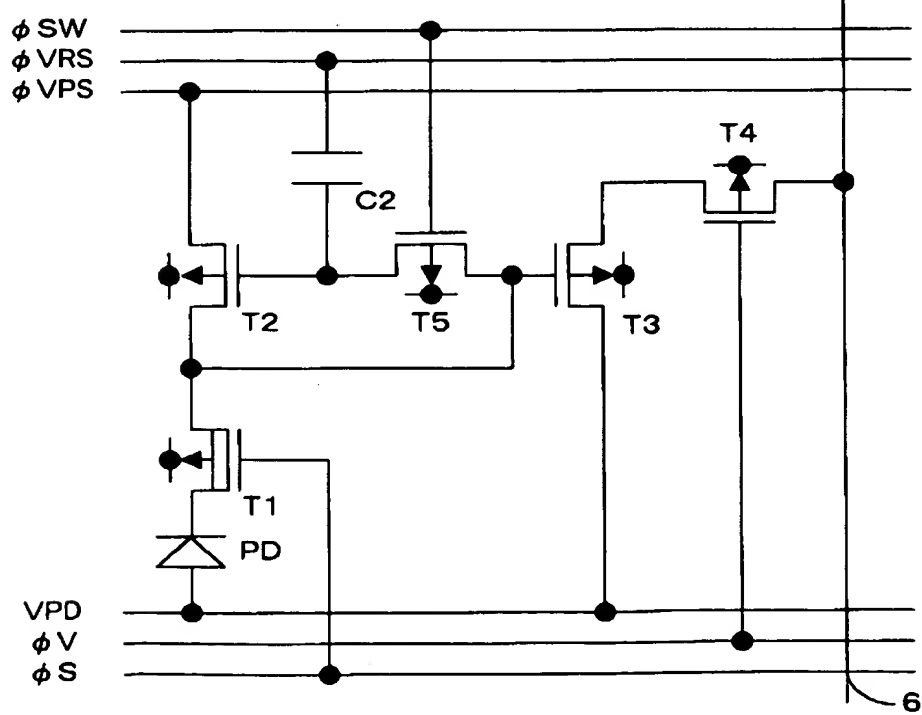
【図 4 4】



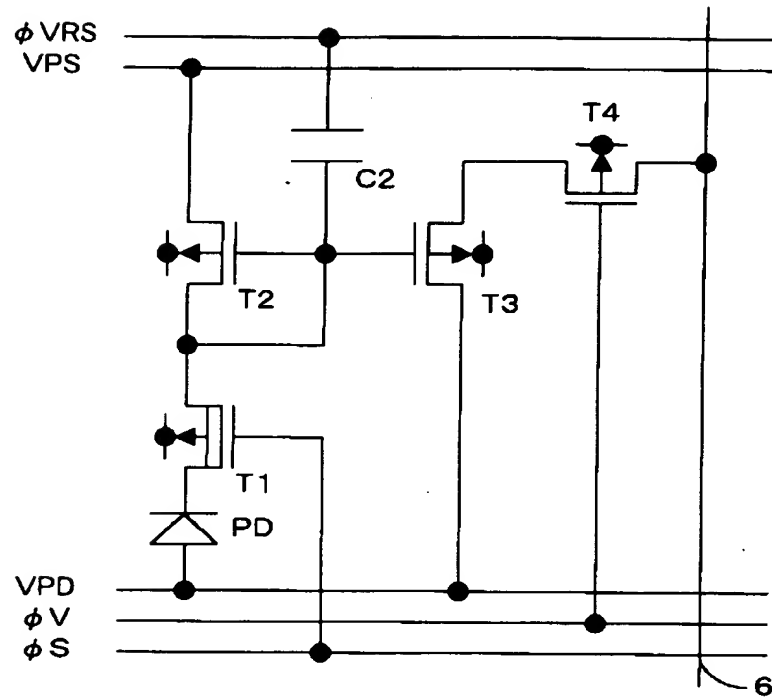
【図 4 5】



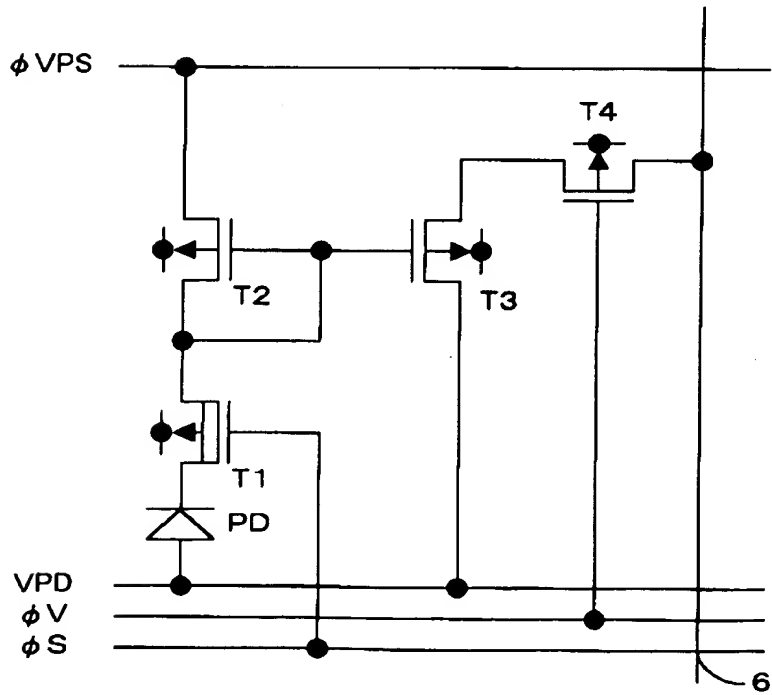
【図 4 6】



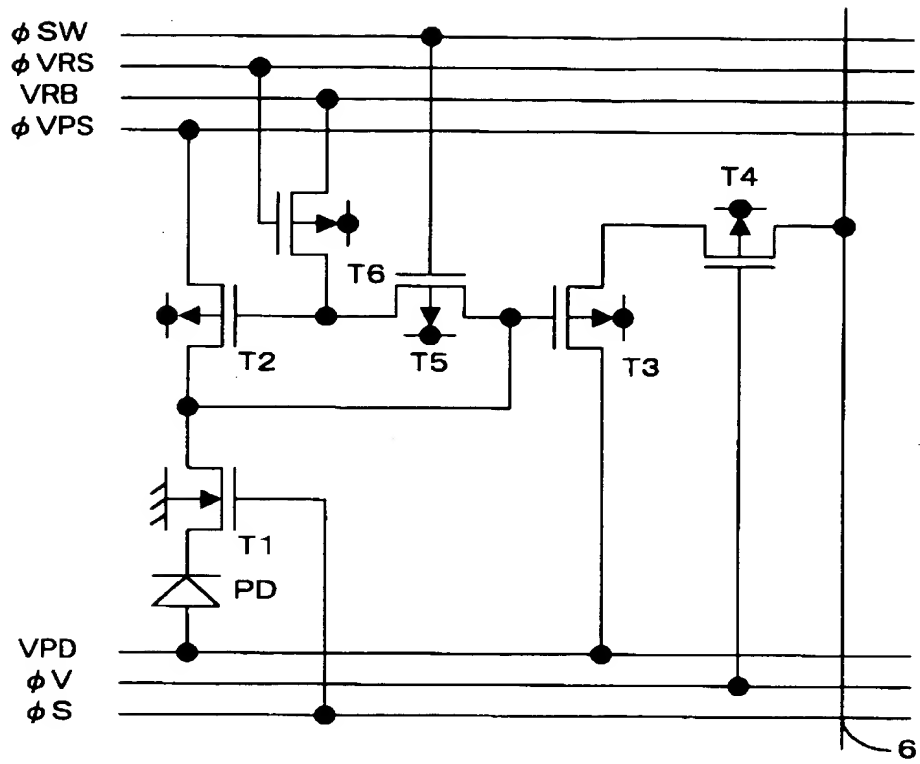
【図 4 7】



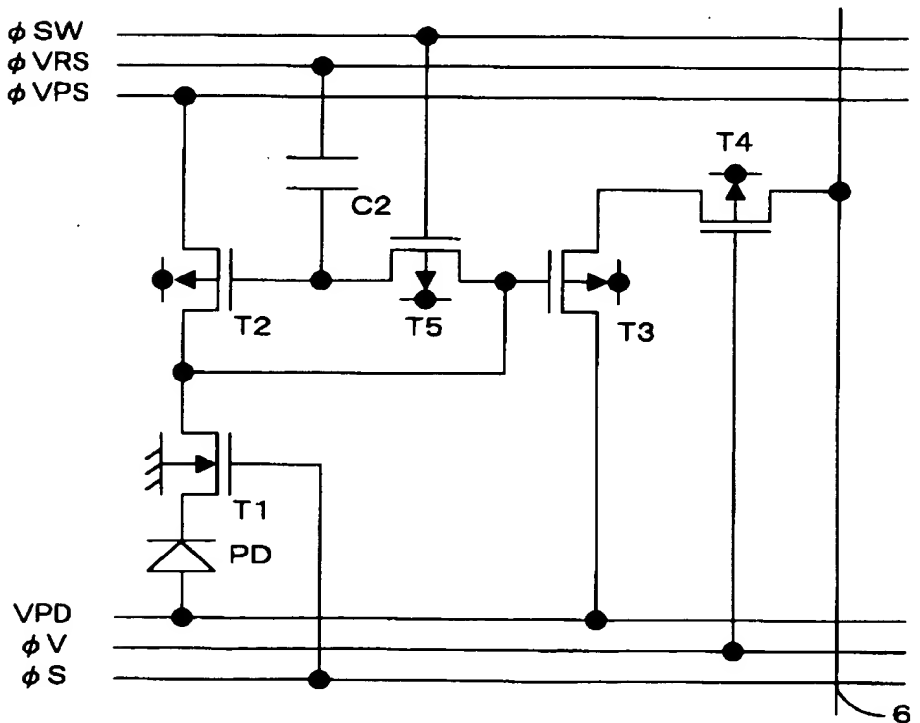
【図 4 8】



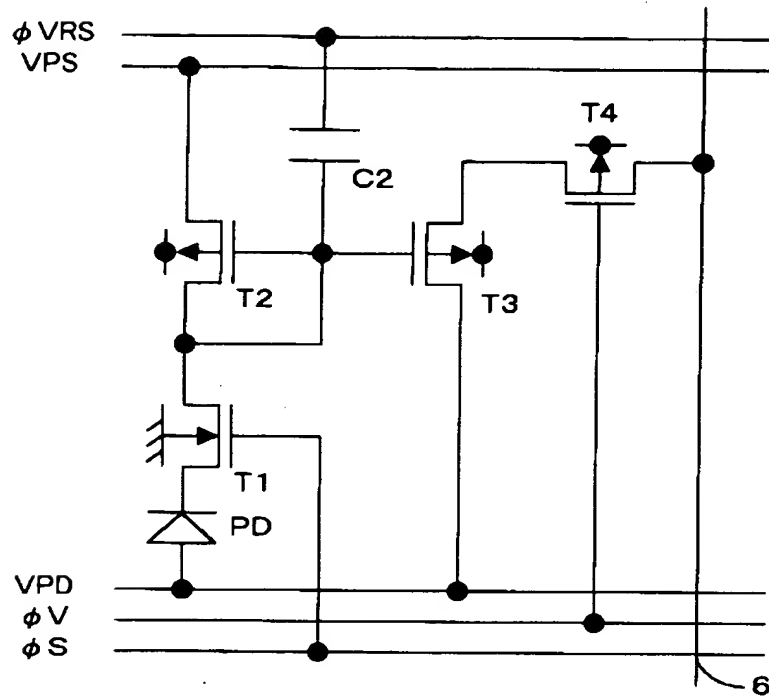
【図 4 9】



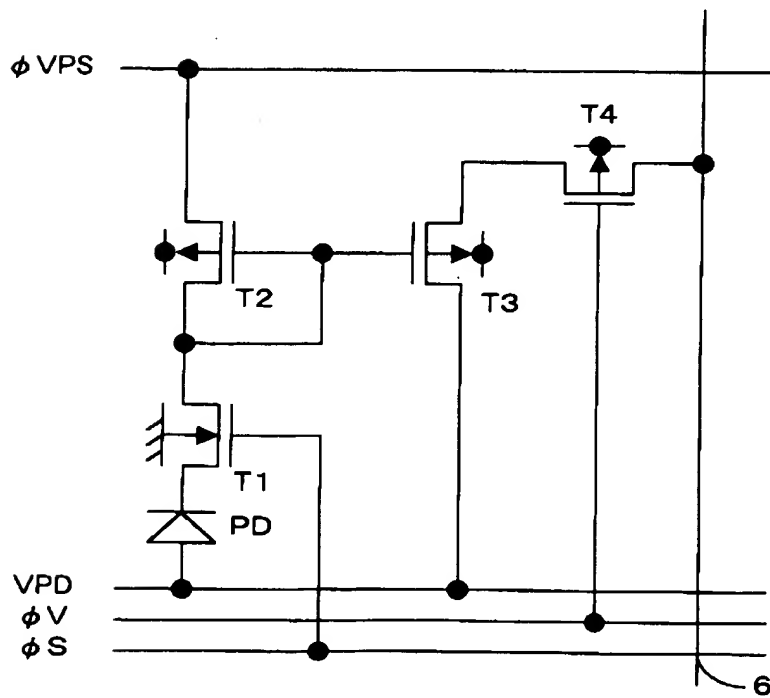
【図 5 0】



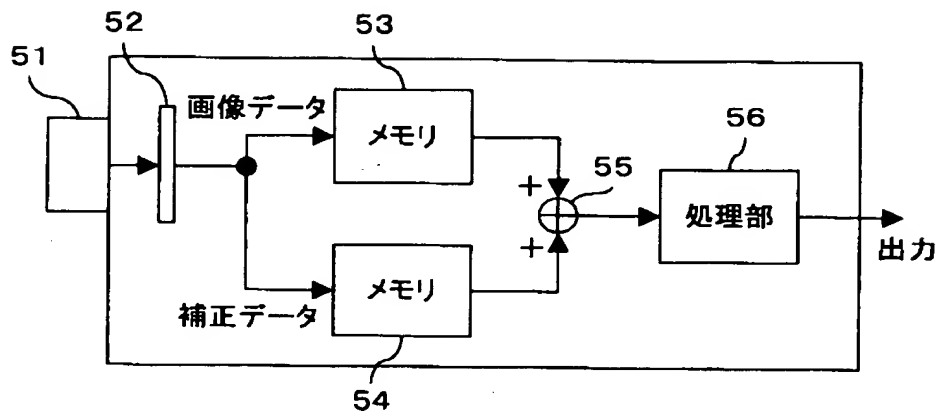
【図 5 1】



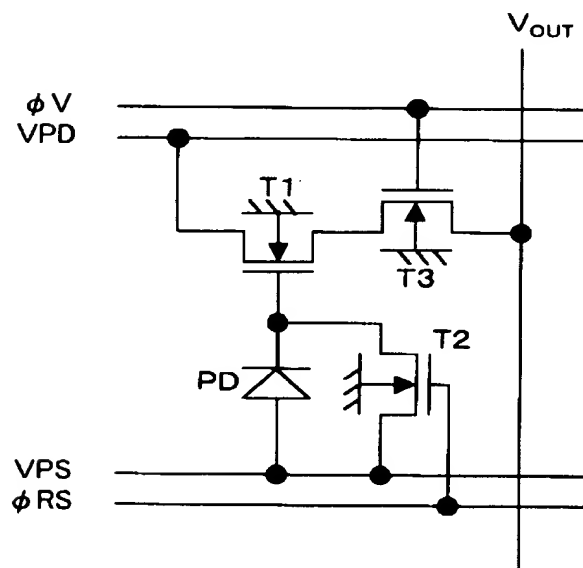
【図 5 2】



【図 5 3】



【図 5 4】



【書類名】 要約書

【要約】

【課題】本発明は、高輝度域から低輝度域までの幅広い輝度範囲の被写体を高精細に撮像することができるとともに、低輝度域でも各画素が高速に基の状態にリセットされる応答性の良い固体撮像装置を提供することを目的とする。

【解決手段】各画素が撮像動作を行う際、MOSトランジスタT1，T5をONにするとともにMOSトランジスタT6をOFFにして、MOSトランジスタT2をサブスレッシュOLD領域で動作させる。各画素がリセット動作を行う際、MOSトランジスタT1，T5をOFFにするとともにMOSトランジスタT6をONにしてMOSトランジスタT2のゲート電圧を一定にする。このとき、MOSトランジスタT2を導通状態にした後、信号 $\phi$ VPSをハイレベルにしてカットオフさせることにより、MOSトランジスタT2の閾値に応じた信号を補正データとして出力する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日	1994年 7月20日
[変更理由]	名称変更
住 所	大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名	ミノルタ株式会社